

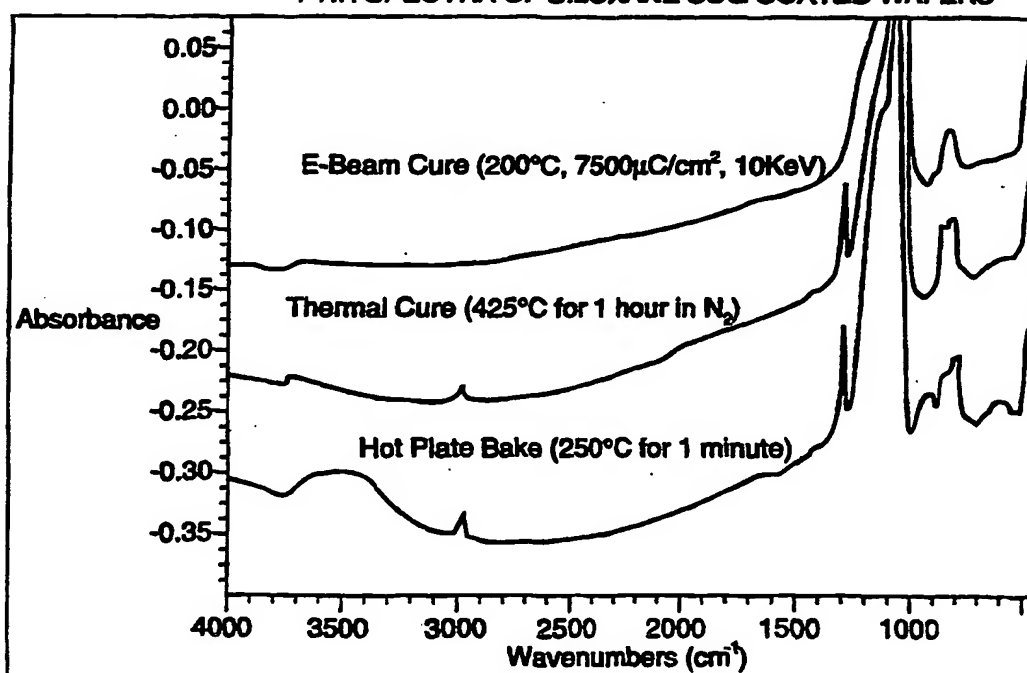


INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

| | | |
|--|---|---|
| (51) International Patent Classification ⁶ : H01L 21/316, 21/3105 | A1 | (11) International Publication Number: WO 97/00535 (43) International Publication Date: 3 January 1997 (03.01.97) |
| (21) International Application Number: PCT/US96/08678 (22) International Filing Date: 4 June 1996 (04.06.96) (30) Priority Data: 60/000,239 15 June 1995 (15.06.95) US 08/652,893 23 May 1996 (23.05.96) US (71) Applicant: ALLIEDSIGNAL INC. [US/US]; 101 Columbia Road, P.O. Box 2245, Morristown, NJ 07962-2245 (US). (72) Inventors: FORESTER, Lynn; 2233 Gunar Drive, San Jose, CA 95124 (US). HENDRICKS, Neil, H.; 16525 Habitat Trail, Sonoma, CA 95370-0379 (US). KYU-CHOI, Dong; 2338 Montezuma Drive, Campbell, CA 95008 (US). (74) Agent: CRISS, Roger, H.; AlliedSignal Inc., Law Dept. (C.A. McNally), 101 Columbia Road, P.O. Box 2245, Morristown, NJ 07962-2245 (US). | (81) Designated States: CN, JP, KR, SG, European patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Published With international search report. | |

(54) Title: ELECTRON-BEAM PROCESSED FILMS FOR MICROELECTRONICS STRUCTURES

FTIR SPECTRA OF SILOXANE SOG COATED WAFERS



(57) Abstract

An improved method for producing substrates coated with dielectric films for use in microelectronic applications wherein the films are processed by exposing the coated substrate surfaces to a flux of electron beam. Substrates cured via electron beam exposure possess superior dielectric properties, density, uniformity, thermal stability, and oxygen stability.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

| | | | | | |
|----|--------------------------|----|--|----|--------------------------|
| AM | Armenia | GB | United Kingdom | MW | Malawi |
| AT | Austria | GE | Georgia | MX | Mexico |
| AU | Australia | GN | Guinea | NE | Niger |
| BB | Barbados | GR | Greece | NL | Netherlands |
| BE | Belgium | HU | Hungary | NO | Norway |
| BF | Burkina Faso | IE | Ireland | NZ | New Zealand |
| BG | Bulgaria | IT | Italy | PL | Poland |
| BJ | Benin | JP | Japan | PT | Portugal |
| BR | Brazil | KE | Kenya | RO | Romania |
| BY | Belarus | KG | Kyrgyzstan | RU | Russian Federation |
| CA | Canada | KP | Democratic People's Republic of Korea | SD | Sudan |
| CF | Central African Republic | KR | Republic of Korea | SE | Sweden |
| CG | Congo | KZ | Kazakhstan | SG | Singapore |
| CH | Switzerland | LI | Liechtenstein | SI | Slovenia |
| CI | Côte d'Ivoire | LK | Sri Lanka | SK | Slovakia |
| CM | Cameroon | LR | Liberia | SN | Senegal |
| CN | China | LT | Lithuania | SZ | Swaziland |
| CS | Czechoslovakia | LU | Luxembourg | TD | Chad |
| CZ | Czech Republic | LV | Latvia | TG | Togo |
| DE | Germany | MC | Monaco | TJ | Tajikistan |
| DK | Denmark | MD | Republic of Moldova | TT | Trinidad and Tobago |
| EE | Estonia | MG | Madagascar | UA | Ukraine |
| ES | Spain | ML | Mali | UG | Uganda |
| FI | Finland | MN | Mongolia | US | United States of America |
| FR | France | MR | Mauritania | UZ | Uzbekistan |
| GA | Gabon | | | VN | Viet Nam |

ELECTRON-BEAM PROCESSED FILMS FOR MICROELECTRONICS STRUCTURES

5

CROSS REFERENCE TO RELATED APPLICATIONS

This application is a continuation-in-part of U.S. provisional application serial number 60/000,239 filed on June 15, 1995, which is
10 incorporated herein by reference.

BACKGROUND OF THE INVENTION

1. Field of the Invention

15 The present invention relates to electron-beam processed films for microelectronics structures, such as integrated circuits ("IC"). More particularly, this invention relates to an improvement in the method of processing such films which results in uniform, dense films, some of which also possess a low dielectric constant and a low wet etch rate.

20

2. Background of the Invention

Various devices, such as multichip modules, printed circuit boards, high-speed logic devices, flat panel displays, integrated circuits and other microelectronics devices, require deposited or spun-on dielectric films.

25 One commonly used technique to produce such a desirable film onto a substrate involves thermal anneal or thermal cure at a temperature range between 350 °C and 900 °C for about 1 hour. See "*Spin/Bake/Cure Procedure for Spin-On-Glass Materials for Interlevel and Intermetal Dielectric Planarization*" brochure by AlliedSignal Inc. (1994)(thermally
30 cured spun-on films) and Kern, W., "*Deposited Dielectrics for VLSI*," 8(7) Semiconductor International 122 (July 1985) ["Kern"]; Gorczyca, T.B., et al., "*PECVD of Dielectrics*," 8(4) VLSI Electronics Microstructure Science (New York 1984) ["Gorczyca"]; and Mattson, B., "*CVD Films for Interlayer Dielectrics*," Solid State Technology 60 (Jan. 1980) ["Mattison"] (thermally

annealed chemical vapor deposited ("CVD") films). However, several disadvantages are associated with thermal processing.

In applications wherein a spin-on glass film ("SOG") is spun onto a substrate, siloxane-type SOGs are susceptible to damage by oxygen plasmas. During subsequent IC processing, SOGs which have been damaged by oxygen plasma are prone to outgassing of moisture, which often leads to electrical and mechanical reliability failures. In addition, the thermally cured SOGs' instability to oxygen plasma also contributes not only to manufacturing difficulties such as delamination, but also to physical, mechanical and cosmetic deficiencies in the final product such as increased porosity, increased shrinkage, and poor planarization.

Second, the use of such high temperatures for curing silicate SOGs also causes the oxidation and degradation of silicides. This often leads to device failures caused by silicide degradation or degradation of the shallow dopant profiles in advanced ICs. Further, the presence of this oxidized surface layer disadvantageously affects the overall electrical performances of the IC by increasing the resistance or removing the electrical contact to silicides as well as by contributing to degradation of interconnections between transistors.

In applications wherein the substrate is coated with a CVD film, an additional annealing step at high temperatures up to about 1000 °C is also required in order to improve the quality of the CVD film. However, this leads to complications and device failure problems such as silicide degradation, hot carrier degradation, device instabilities, and the like. Though these difficulties are similar to those observed with thermal processing, the magnitude of the effects is greater because the temperatures involved are significantly higher.

In growing ultra-thin gate oxides and nitrides on substrates, one known problem is the inability to control the uniformity of their growth. Prior art methods for growing such oxides employ single wafer Rapid Thermal Processing systems ("RTP") or furnaces as described in, for example, Sheets, R., "Rapid Thermal Processing Systems,"

Microelectronic Mfg. and Test, 16 (July 1985). However, growth failure will occur in these methods if contaminants are present at amounts as low as parts per billion. This inability to produce such uniform oxides and nitrides often leads to subsequent burning of the oxide or nitride during operation of the IC and thus affects its overall reliability.

It is desirable for all advanced ICs to possess a dielectric material having a low dielectric constant. Generally, CVD films do not possess low dielectric constants unless they are doped with high levels of fluorine. See Takeshi, S., et al., "Stabilizing Dielectric Constants of Fluorine-Doped-Silicon Dioxide Films by N₂O-Plasma Annealing," Dielectrics for VLSI/ULSI multilevel Interconnection Conference (DUMIC) (Feb. 1995). However, such fluorine-doped oxides are usually unstable and susceptible to degradation in moist and oxygen plasma environments.

Although a lower dielectric constant may be obtained by using spin-on polymer-containing films ("SOPs"), such films pose great challenges for process integration due to their poor thermal stability, their tendency to degrade when exposed to oxygen plasmas, and their tendency to decompose at temperatures typically used for metal layer deposition in ICs. Furthermore, the lowest dielectric constant that can be achieved for SOGs which have been thermally cured is typically only about 3.8 - 4.1. Such dielectric values may not be suitable for the end uses of the next generation microelectronic applications due to more stringent controls on mechanical and electrical effects such as capacitance that are becoming more critical as device dimensions are reduced.

It would be desirable to provide an improved process for rapidly processing dielectric film coatings on substrates at low temperatures which would result in a product that was thermally stable and insensitive to oxygen plasma. It would also be desirable to provide a uniformly dense SOG or CVD material possessing a low dielectric constant. Moreover, it would be desirable to uniformly grow ultra-thin gate oxides on substrates.

SUMMARY OF THE INVENTION

In accordance with this invention, there is provided an improvement in the curing of a dielectric material on a substrate comprising:

- 5 (a) applying to a surface of the substrate a dielectric material;
and
 (b) exposing said dielectric material to electron beam radiation under conditions sufficient to cure the dielectric material.

In accordance with another aspect of this invention, there is
10 provided an improvement in the annealing of a substrate coated with a chemical vapor deposited material comprising:

- a) applying to the surface of the substrate the chemical vapor deposited material; and
 b) exposing the chemical vapor deposited material to electron
15 beam radiation under conditions sufficient to anneal the chemical vapor deposited material.

In accordance with another aspect of this invention, there is provided an improvement in the growth of ultra-thin film oxides or nitrides on a substrate comprising:

- 20 a) exposing a surface of the substrate to electron beam radiation in the presence of a material in a gaseous state and under conditions sufficient to ionize the material and promote an oxidation or nitridation reaction on the surface of the substrate.

In accordance with yet another aspect of this invention, there is
25 provided a substrate coated with an electron beam processed film produced according to the above processes.

In accordance with another aspect of this invention, there is provided a process for reducing the dielectric constant in dielectric film and chemical vapor deposit film coated substrates comprised of exposing
30 said film to electron beam radiation under conditions sufficient to process said film.

In accordance with another aspect of this invention, there is provided a process for producing silicon rich films from chemical vapor deposit coatings comprised of exposing said coatings to electron beam radiation under conditions sufficient to process said film.

5 In yet another embodiment of this invention, there is provided a microelectronic device containing a substrate coated with an electron-beam processed film, wherein the dielectric constant of said electron-beam processed film is less than about 3.

The electron-beam processed films of this invention not only
10 advantageously form a dense, uniform coating on substrates, but also electron beam cured SOG films possess a dielectric constant which is significantly lower than that reported for similar compositions which were thermally treated at high temperatures. Moreover, the time and temperature for processing such films is significantly reduced.

15

BRIEF DESCRIPTION OF THE DRAWINGS

The invention will be more fully understood and further advantages will become apparent when reference is made to the following detailed description of the invention and the accompanying drawings in which:

20 FIG. 1 is a graph of absorbance versus wave number (cm^{-1}) for the Fourier Transform Infrared Spectra ("FTIR") of siloxane SOG coated wafers which were either hot plate baked, thermally cured or electron-beam cured.

25 FIG. 2 (a) and (b) are graphs of absorbance versus wave number (cm^{-1}) for the FTIR spectra of siloxane SOG coated wafers cured with electron beams at various beam doses and cure temperatures.

FIG. 3 is a graph of percent film shrinkage versus electron beam dose ($\mu\text{C}/\text{cm}^2$) for siloxane SOG coated wafers cured via thermally and by electron beam radiation.

30 FIG. 4 is a graph of percent film shrinkage versus electron beam energy (KeV) for electron-beam cured siloxane SOG coated wafers.

FIG. 5 is a graph of wet etch rate ($\text{\AA}/\text{s}$) in buffered oxide etch ("B.O.E.") 50:1 for thermally cured SOG coated wafers, for thermal oxide wafers and for electron beam cured SOG coated wafers as a function of electron beam dose ($\mu\text{C}/\text{cm}^2$).

5 FIGs. 6 (a) - (d) are graphs of wet etch rate ($\text{\AA}/\text{sec}$) in B.O.E. 50:1 as a function of the depth of film thickness (\AA) for electron-beam cured SOG coated wafers.

FIG. 7 is a graph of the wet etch rate ($\text{\AA}/\text{sec}$) in B.O.E. 50:1 as a function of the depth of film thickness (\AA) for electron-beam cured SOG
10 coated wafers at various degrees of electron beam energy (KeV).

FIG. 8 is a graph of absorbance versus wavenumber (cm^{-1}) for the FTIR spectra of electron-beam cured SOG coated wafers after completion of various stages of processing.

FIG. 9 is a graph of absorbance versus wavenumber (cm^{-1}) for the
15 FTIR spectra of a thermally cured SOG film and for an electron beam cured SOG film which were both exposed to post cure ambient conditions.

FIGs 10 (a) and (b) are graphs of absorbance versus wavenumber (cm^{-1}) for the FTIR spectra of electron beam cured SOG coated wafers after electron-beam cure, as well as after electron beam cure followed by
20 immersion in water, respectively.

FIG. 11 is a graph of absorbance versus wavenumber (cm^{-1}) for the FTIR spectra for aged films cured with electron beams in the presence of various gases.

FIG. 12 is a graph of cumulative probability of time to breakdown
25 ("QBD") versus time to breakdown (seconds) of a gate oxide with a tetra-ethyl orthosilicate ("TEOS")-capped electron-beam cured SOG.

FIG. 13 is a graph of depth (microns) versus concentration (atoms/cc) for secondary ion mass spectroscopy ("SIMS") depth profile analysis for Na, K, H, C, and O impurities through the said oxide thickness.

30

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Unless indicated otherwise, all references herein are specified in weight. "Dose" as used herein shall refer to doses of electron beam radiation.

Various materials may be applied onto the substrates of the present invention via "spinning-on", CVD, or growing techniques.

Suitable dielectric materials or SOG which may be spun-on to substrates include silicates, phosphosilicates, siloxanes, phosphosiloxanes, and mixtures thereof. Siloxanes are preferred. More preferable siloxanes are amorphous, crosslinked glass-type materials having the formula SiO_x wherein x is greater than or equal to one and less than or equal to two, and possess a "pre-exposure" content, based upon the total weight of the siloxane materials, of from about 2 % to about 90%, and preferably from about 10% to about 25% of organic groups such as alkyl groups having from about 1 to about 10 carbons, aromatic groups having from about 4 to about 10 carbons, aliphatic groups having from about 4 to about 10 carbons, and mixtures thereof. Optionally, the siloxane and silicate materials may also contain, based upon the total mole percent of the dielectric materials, from about 0% to about 10%, and preferably from about 2 % to about 4% phosphorus.

Preferred siloxane materials suitable for use in this invention are commercially available from AlliedSignal Inc. under the tradename "Accuglass"®.

Suitable siloxane materials contain about 100 parts per billion or less, preferably 50 parts per billion or less, and more preferably 10 parts per billion or less of trace element impurities such as sodium, potassium, chlorine, nickel, magnesium, chromium, copper, manganese, iron, calcium, and the like, and preferably have a molecular weight between from about 300 to about 50,000, and more preferably from about 500 to about 10000 molecular weight units.

The dielectric material may be applied to substrates via conventional spin-coating, dip coating, spraying, or meniscus coating methods well-known in the art. Details of such methods are described in, for example, "Processing Equipment and Automated Systems", brochure
5 by Integrated Technologies.

The thickness of the dielectric film on the substrate may vary depending upon the amount of SOG liquid that is applied to the substrate, but typically the thickness may range from about 500 Å to about 20000 Å, and preferably from about 3000 Å to about 9000 Å. The amount of SOG
10 liquid applied to the substrate may vary between from about 1 ml to about 10 ml, and preferably from about 2 ml to about 8 ml.

In a preferred embodiment, the siloxane material is centrally applied to a substrate, which is then spun at speeds ranging between about 500 and about 6000 rpm, preferably between about 1500 and about
15 4000 rpm, for about 5 to about 60 seconds, preferably about 10 to about 30 seconds, in order to spread the solution evenly across the substrate surface.

Suitable materials which may be deposited onto substrates via CVD include plasma-enhanced tetra-ethyl ortho silicate ("PETEOS"),
20 silane based oxides such as silane and di-silane, boron-phosphosilicate glass ("BPSG"), phosphosilicate glass ("PSG"), nitrides such as silicon nitride (SiN) and non-stoichiometric mixtures therewith, anhydride films, oxynitrides such as those deposited with silane (SiH₄), ammonia (NH₃), nitrogen, and nitrous oxide (N₂O) and mixtures thereof, and borophospho
25 glass from tetraethyl orthosilane ("BPTEOS"), and mixtures thereof. Silane-based oxide films are preferred.

The CVD film may be applied to the substrate in the presence of a gas via conventional CVD methods well-known in the art. Details of such methods are well known in the art and are described in, for example,
30 Gorczyca; Kern, and Mattison, which are incorporated herein by

reference. The gas selected for CVD applications depends upon the type of film desired, but typically such gases include a mixture of TEOS and oxygen, or a mixture of oxygen, silane and optionally diborane ("B₂H₆"), phosphine ("PH₃"), and nitrous oxide ("N₂O"), and preferably TEOS.

5 The amount of CVD coating deposited onto the surface of the substrate is proportional to the film thickness desired and may range from about 1000 Å to about 30000 Å, and preferably from about 3000 Å to about 8000 Å. The amount of CVD applied to the substrate may vary according to the film thickness desired. Gas flows required to obtain
10 these thicknesses are described in Kern; Gorczyca; and Mattison.

Typically, the SOG or CVD films are applied onto, and the ultra-thin oxide or nitride films are grown on a wafer or other planar substrate, such as silicon wafers which have a circuit pattern on their surface, to be processed into ICs or other microelectronic devices. Typically, the
15 diameters of the substrates range from about 2 inches to about 12 inches, although the present invention would still be effective for larger substrates.

Optionally, the pre-cured SOG-coated substrate may be heated at a temperature of about 50 °C to about 250 °C for about 1 to about 3
20 minutes. In a preferred embodiment, the pre-cured SOG is first heated at about 50 °C for about 30 seconds to one minute, then heated at about 150 °C for about 30 seconds to one minute, and heated a third time at about 250 °C for about 30 seconds to one minute. The pre-cured liquid SOG material partially crosslinks and solidifies as a result of such heating.

25 The SOG coated substrate is cured by exposing the surface of the substrate to a flux of electrons while in the presence of a gas selected from the group consisting of oxygen, argon, nitrogen, helium and mixtures thereof, and preferably oxygen, argon, nitrogen, and mixtures thereof. Nitrogen gas is more preferred.

The temperature at which the electron beam exposure is conducted will depend on the desired characteristics of the resulting film and the length of desired processing time. One of ordinary skill in the art can readily optimize the conditions of exposure to get the claimed results but
5 the temperature will generally be in the range of about 25 °C to about 400 °C. The pressure during electron beam curing will range between from about 10 mtorr to about 200 mtorr, and preferably from about 10 mtorr to about 40 mtorr.

The period of electron beam exposure will be dependent upon the
10 current density and the beam dosage to be applied to the substrate. One of ordinary skill in the art can readily optimize the conditions of exposure to get the claimed results, but generally the exposure will range from about 2 to about 45 minutes, and preferably from about 5 to about 25 minutes with application of an electron beam dose of about 1000 to about
15 50,000, preferably from about 2500 to about 10,000 $\mu\text{C}/\text{cm}^2$. The accelerating voltage of the electron beam may vary from about 1 to about 25 KeV. The amount of dose and the accelerated voltage selected will be dependent upon the characteristic and thickness of the films to be processed.

20 The coated SOG substrate may be exposed to electron beams in any chamber having a means for providing electron beam radiation to substrates placed therein. Typically, the chamber is also equipped with a means for emitting electrons into a gaseous atmosphere comprising oxygen, argon, nitrogen, helium and mixtures thereof, and preferably
25 oxygen, argon, and nitrogen, simultaneously with electron beam exposure.

In a preferred embodiment, the coated SOG substrate is placed into a chamber which is commercially available from Electron Vision, San Diego, California, under the tradename "ElectronCure"™, the principles of
30 operation and performance characteristics of which are described in U.S.

Patent Number 5,001,178, which is incorporated herein by reference. This chamber beneficially provides a "wide, large beam" of electrons which may affect an area of from about 4 to about 144 square inches.

Similarly, CVD coated films are annealed via the same process and
5 under the same conditions as described for curing SOG coated substrates.

For applications in which ultra-thin gate oxides or nitrides are grown on substrates, the type of film which is grown depends upon the composition of the substrate and the substance grown in the gaseous
10 state selected. Any compositions such as gallium arsenide (GaAs) or compositions containing silicon such as crystalline silicon, polysilicon, amorphous silicon, or epitaxial silicon, and preferably silicon dioxide (SiO_2) are suitable substrate materials. The growth of the oxides or
nitrides occurs in the presence of oxygen, ammonia, nitrogen, nitrous
15 oxide, and reaction products and mixtures thereof in the form of a gas, a sublimed solid or a vaporized liquid. Oxygen gas is preferred.

According to the present invention, the oxide or nitride ultra thin film layer is grown on the substrate surface simultaneously with the period in which it is exposed to electron beams in the presence of a gas. The
20 period of electron beam exposure occurs for a time sufficient to allow the gas to both ionize and react with the compounds present on the surface of the substrate. The thickness of the grown films may range from about 10 Å to about 1000 Å, and preferably from about 50 Å to about 80 Å. Otherwise, the process and conditions for growing such oxide or nitride
25 ultra thin film layers are similar to those described for curing SOG coated substrates. As a result, both the uniformity of the composition and thickness of the ultra-thin oxide or nitride films grown on the substrate is improved.

As a result of exposing a coated substrate to electron beam
30 radiation according to the present invention, the films produced thereon

are unexpectedly modified into a new, unique chemical form. For example, "FTIR" analysis reports that there are no longer CH groups attached to the backbone of SOG starting compounds after they are cured with electron beams. However, Secondary Ion Mass Spectroscopy ("SIMS") analysis demonstrates that the carbon remains in the film. In comparison to thermally-cured coatings which possess oxidized carbon in the top 0.05 to 0.3 microns of the cured coatings or films, the carbon in the cured siloxane SOG and carbon-containing SOP coatings of the present invention is homogeneously distributed throughout the film.

10 The substrates coated with a film processed according to the present invention may be used for any dielectric and planarization application in microelectronics fabrication. One noteworthy characteristic of the SOG coatings processed according to the present invention is that they exhibit excellent dielectric properties without having to add additional
15 polymers thereto. Dielectric properties of the SOG or SOP coatings cured according to the present invention ranged between about 2.5 to about 3.3, and preferably between about 2.9 to about 3.0.

Another noteworthy characteristic of the films processed according to the present invention is that their density increases significantly as a
20 result of the step of electron beam processing. In addition, the processed film coatings not only have a wet etch rate in Buffered Oxide Etch "BOE" 50:1 which is comparable to that recorded for thermal oxides, but these films also are resistant to oxygen plasmas, are able to be chemically and mechanically polished with good uniformities, and are able to withstand
25 the temperature budget associated with typical W plug processing. More specifically, the siloxane coatings cured according to the present invention and subsequently exposed to nitrogen at 425 °C for one hour shrunk only 4%, and no additional shrinkage occurred when the films were exposed for up to 1 hour at 700 °C.

For deposited oxides, the invention provides a means for creating densified films without employing high temperature anneals. More specifically, index of refraction analysis reveals that the result of annealing CVD films comprised of PETEOS according to the process of the present invention is a "silicon-rich" film which is unobtainable through other known means in the art such as modification of the gas ratios during film deposition or thermal annealing. This is especially beneficial because such "silicon-rich" films are known to prevent field inversion and hot electron degradation effects.

Moreover, not only are the temperatures at which the processing of the present invention occurs significantly below those employed in prior art thermal curing or annealing processes, but the time for curing or annealing such films is also significantly reduced.

The use of this invention also results in an improved ultra-thin film oxide or nitride coating for substrates whereby the growth of such oxides or nitrides may be controlled.

The present invention may be incorporated into several known processes such as: 1) disposable post processing; 2) conventionally-etched contact processing; and 3) inter-metal dielectric processing.

The following non-limiting examples illustrate the effect of exposing coated substrates to electron beam radiation in order to create a film having improved characteristics thereon.

The films produced in the following examples were analyzed according to the following test methods:

1) **Film Thickness:** Using a calibrated Nanospec® AFT model 010-180 computerized Film Thickness Measurement System available from Nanometrics, Co., wavelengths from about 480 nm to 790 nm were scanned through the wafer and converted to Angstroms (Å) via its internal

computer. Measurements were acquired for five different locations on the wafer, then these five values were averaged.

2) **Percent Film Shrinkage:** This value is obtained from a ratio of thickness measurements obtained according to the procedure described in Film Thickness and recorded after various processing steps.

3) **Wet Etch Rate Determination:** Details for conducting this test are set forth in "Relative Etch Rate Determination", a report by AlliedSignal Inc., Advanced Microelectronic Materials Division (November 30, 1995).

4) **Dielectric Constant:** The dielectric constant of SOG films is determined by the standard capacitance-voltage ("CV") curve technique, using metal-oxide semiconductor ("MOS") capacitor structures as would be used for any other dielectric thin films. The dielectric constant is calculated from the $C(\text{max})/C(\text{oxide})$ derived from the CV curve, thickness of the film being measured, and the capacitor plate (Al dot) area.

A Hewlett Packard Model 4061A semiconductor measurement system consisting primarily of a sensitive multifrequency (10 KHz -10 Mhz) Induction Capacitance and Resistance ("LCR") meter, current and voltage sources, ramp generator, and picoammeter was used to measure the CV curve of dielectric films. The measurement, calculation, and plotting functions are carried out by a dedicated Hewlett Packard microcomputer through an IEEE-488 standard interface bus. Substrates are probed on a manual probe station placed inside a metal dark-box. Further details of this procedure are set forth in "SOG Dielectric Constant Theory", report by AlliedSignal Inc., Advanced Microelectronic Materials Division (January 3, 1995).

5) **Index of Refraction:** This value is determined using a calibrated AutoEL II® Revision 307 ellipsometer available from Rudolph Research. Calibration and measurement procedures are described in

"AutoEL II Revision 307 Ellipsometer Calibration and Maintenance", report by AlliedSignal, Inc., Advanced Micro electronic Materials Division (June 5, 1995).

6) **Fourier Transform Infrared Spectrum Analysis:** Fourier
5 transform infrared spectrum analysis reveals vibrations of atoms in molecules. Certain groups of atoms have characteristic vibration frequencies which persist in different compounds. Details such as the frequency position of infrared bands characteristic of some organosilicon groups, are described in, for example, Launer, *"Infrared Analysis of*
10 *Organosilicon Compounds: Spectra-structure Correlations"*, (Burnt Hills, New York, 1990).

7) **Contact Resistance:** Contact Resistance procedure is described in Loh, W. M., et al., *"Modeling and Measurement of Contact Resistances"* IEEE Transactions Electron Devices 512 (March 1987).

15 8) **Device and Field Threshold Voltages and Transistor Voltages (V_{ts}):** These voltage measurements and techniques for obtaining such measurements similar to those employed in the Examples are described in Andoh, T., et al., *"Design Methodology for Low Voltage MOSFETS"* Int'l. Electron Device Meeting (Dec. 1994).

20 9) **Time to Breakdown ("QBD"):** This procedure is described in Grove, Physics & Technology of Semiconductor Devices, Section 10.5 (New York 1967); Chen, K.L., et al., Tech. Digest IEDM 484 (1986); and Rountree, R.N., Tech. Digest IEDM 580 (1988).

25 10) **Via resistance:** Via resistance was measured using techniques described in *"Pre-sputter Degassing Treatment in Via Contact for Via Reliability Enhancement in Spin-On Glass Planarization Process"* for VLSI/ULSI Multilevel Interconnection Conference (Feb. 1995).

11) **Resistance and Silicide Resistance:** Silicide resistance was measured using techniques described in Shimizu, S., et al., *"0.15 μ m*

CMOS Process for High Performance and High Reliability," International Electron Device Meeting (D c. 1994).

12) Secondary Ion Mass Spectroscopy ("SIMS"): SIMS

analysis was used to determine the presence of trace elements in SOG films. First, the SOG films were measured using a Cameca SIMS device having ppb detection limits. The use of the resistive anode encoder (RAE) ion imaging detector receives input from the Cameca device and compiles data such as trace ion element concentration with time which is used to generate direct ion maps of any element on the film surface and changes in the lateral distribution of the element as a function of film depth.

The SIMS analysis was performed using a PHI-6600 quadrupole mass spectrometer in which the film was exposed to oxygen and cesium primary ion bombardments with a net impact energy of 6 KeV in order to obtain both positive and negative secondary ion mass spectrometries. The analytical conditions are reported in Table 1:

TABLE 1

| Primary ion beam | Oxygen | Cesium |
|------------------------|-------------------|-------------------|
| Primary Beam Energy | 6 KeV | 6 KeV |
| Beam current | 50 nA | 20 nA |
| Raster size | 150 x 150 μ m | 150 x 150 μ m |
| Analyzed Area | 45 x 45 μ m | 45 x 45 μ m |
| Secondary ion polarity | + | - |
| Charge Neutralization | on | on |
| Mass resolution | 300 | 300 |

The data have been plotted as concentration (atoms/cm³) versus depth for the analytes. The conversion of secondary ion counts to concentrations is based on a relative sensitivity factors (RSFs) derived from the analyses of ion implant standards of known dose in SiO₂. The analytes' secondary ion counts were ratioed to average matrix³⁰ Si signal through oxide. The reproducibility of analysis typically is less than $\pm 10\%$ at ion counting rates above 1×10^3 . The sputter depth was calibrated by measuring a crater depth using Tencor P-10 surface profiler. Additional specifics of this technique is further described in brochures published by Charles Evans and Associates (October 1993).

EXAMPLES

Example 1: Preparation of SOG coated Substrate

A silicon wafer having a diameter of 6 inches was coated with a siloxane SOG available from AlliedSignal Inc. under the tradename "Accuglass"® 311 by dispensing about 3 ml to about 4 ml of SOG onto the surface of the wafer, which was then spun on a SOG coater track available from Dai Nippon Screen, Inc. at about 350 rpm for 2 seconds at 72 °F, 20 - 30 mmHg, and a spin cup humidity of 40%. After the coated wafer was additionally spun at about 3000 rpm for about 20 seconds under similar conditions, the wafer was then heated on hot plates in the DNS SOG coater track for three consecutive intervals of 120 seconds at 80 °C, 120 °C, and 175 °C, respectively.

Example 2: Thermal Cure of SOG Coated Wafer (Comparative)

A wafer produced according to Example 1 was then cured in a Black-Max-type furnace available from MRL Industries for 1 hour at 425 °C and 1 atm in the presence of nitrogen.

Analysis of the resulting coated wafer indicated a film thickness (post-cure) of 3000 Å, a film shrinkage of 7%, and a wet etch rate of about 37 Å/sec.

Example 3: Electron Beam Cure of SOG Coated Wafer

Wafers produced according to Example 1 were placed into a chamber available from ElectronVision under the tradename "ElectronCure"™ and exposed to an electron beam having a current of 8
5 to 20 mA, a dose from 1000 to 10000 $\mu\text{C}/\text{cm}^2$ and an accelerating voltage from 5 to 25 KeV, in the presence of various gases including nitrogen, oxygen, argon, and hydrogen, respectively, and under a temperature from 25 to 400 °C and a pressure range from 10 to 40 mtorr.

Analysis of the electron-beam cured SOG coated wafers indicated
10 a film shrinkage of 10 - 30%, and a wet etch rate in buffered oxide etch in 50:1 (deionized water: hydrofluoric acid ("HF")) solution of 1 - 11 Å/sec depending upon the dose, energy and temperature selected.

FIG 1 illustrates the FTIR spectra for wafers thermally cured according to Example 2, electron-beam cured according to Example 3,
15 and uncured, i.e. hot-baked, according to Example 1. As evidenced by the absence in absorbance increases indicating CH stretching modes in the FTIR spectra of FIG 1 and the homogeneous distribution of carbon as indicated by the carbon peak in the SIMS spectra of FIG 13, it is apparent that the composition of the films after exposure to electron beam
20 processing has changed and that the water was not absorbed therein.

Example 4: Wafers Cured at Varying Temperatures and Doses of Electron Beam

Wafers were produced according to Example 1 and cured according to Example 3 except that each wafer was exposed to one of
25 four doses of 1000, 3000, 5000, or 10000 $\mu\text{C}/\text{cm}^2$ at an energy of 10 KeV under a temperature of either 25 °C, 250 °C, or 400 °C in the presence of argon gas.

FIGs 2(a) and 2(b) illustrates the FTIR spectra for each of the wafers produced according to Example 4. As evidenced by the increase

in absorbance between 3600 and 3700 cm^{-1} in FIG 2(a), wafers which were exposed to 1000 and 3000 $\mu\text{C}/\text{cm}^2$ at any of the three temperatures showed hydroxyl group stretching, which is indicative of the presence of residual water in the film. However, by increasing electron beam dose
5 equal to or greater than 5000 $\mu\text{C}/\text{cm}^2$, the water in the film can be greatly reduced or entirely eliminated, as illustrated in Figure 2(b).

**Example 5: Comparison of Film Shrinkage
for Electron Beam Cured Wafers at Varying Doses,
Energies and Temperatures and for Thermally Cured Wafers**

10 Wafers were produced and cured according to Examples 1 and 3, then were analyzed for film shrinkage by measuring the film thickness after bake and electron beam cure.

FIG. 3 illustrates the film shrinkage as a function of electron beam doses at temperatures of 25°C, 250°C and 400 °C in comparison with the
15 film shrinkage of the thermally cured films. FIG. 4 shows the film shrinkage versus electron beam energy. It is apparent from FIGs 3 and 4 that the shrinkage of electron beam cured films is generally greater than that of thermally cured films. Furthermore, as the dose increases, the film shrinkage for the electron beam cured films also increases. In addition,
20 the influence of temperature upon film shrinkage was observed only for films cured with low electron beam doses; however, film shrinkage was relatively insensitive to variations in electron beam radiation at doses in excess of 10000 $\mu\text{C}/\text{cm}^2$ and temperatures above 400 °C.

**Example 6: Comparison of Wet Etch Rates for Electron
Beam Cured Wafers at Varying Doses and Temperatures
for SOG, Thermal Oxide, and Thermally-Cured SOG Wafers**

25 Wafers were produced and cured according to Examples 1 and 3, then were analyzed for Wet Etch Rate.

On an uncoated wafer, a thermal oxide film was grown in a
30 diffusion furnace such as those referenced in Example 2 under a

temperature of about 1050 °C and atmospheric pressure in the presence of oxygen at a gas flow of 4 liters/minute.

Wet etch rates of various films in buffered oxide etch in 50:1 solution was determined by measuring the remaining film thickness after every immersion in the solution for 1 to 5 minutes depending upon the wet etch rate of the film.

FIG. 5 presents the wet etch rate versus dose for the electron beam cured wafers in addition to the wet etch rate for the thermally cured wafer and the thermal oxide wafer. It is evident from FIG. 5 that the wet etch rate of SOG coated wafers cured with electron beams is in the range of 3 to 5 Å/sec., which is very close to the 3 Å/sec etch rate measured for the thermal oxide wafer, but is considerably lower than the 37 Å/sec etch rate measured for the thermally cured SOG wafers. The low etch rate demonstrated by the SOG coated wafers indicates that such SOG films are significantly more dense in comparison to the thermally grown oxide films.

FIGs 6 (a) to (d) illustrate the variation of wet etch rate with the depth of film thickness for electron beam cured films at doses of 1000, 3000, 5000 and 10000 $\mu\text{C}/\text{cm}^2$, respectively. It is apparent from FIGs 6(a) and 6(b) that the wet etch rates for films cured under temperature conditions ranging between 25 °C to 400 °C and a dose of 1000 $\mu\text{C}/\text{cm}^2$ as well as for films cured at a temperature of 25 °C and a dose of 3000 $\mu\text{C}/\text{cm}^2$ were relatively constant throughout the entire thickness of the film. This consistency in wet etch rate values indicates that it is possible to produce films having a highly uniform density using the above electron beam process conditions.

As illustrated in FIGs 6(b) through 6(d), the wet etch rate increases with the increase in film thickness up to about 1500 Å and then remained relatively constant for films cured at temperatures of 250 °C through 400

°C and a dose of 3000 $\mu\text{C}/\text{cm}^2$ as well as for films cured at any temperature and a dose equal to or higher than 5000 $\mu\text{C}/\text{cm}^2$.

Similarly, FIG 7 shows that the wet etch rates for films cured at a temperature of 400 °C, an electron beam energy ranging between 5 KeV and 25 KeV, and a dose of 1000 $\mu\text{C}/\text{cm}^2$ are also relatively constant.

Example 7: FTIR Results for Electron Beam Cured Wafers Subjected to Chemical-Mechanical Polish Followed by Oxygen Plasma Ashing

Coated wafers were produced and cured according to the process set forth in Examples 1 and 3, then polished and cleaned with HF according to the process set forth in Example 13, followed by ashing with oxygen plasma. The detail of oxygen plasma ashing is described in, for example, C. K. Wang, et al., "A Study of Plasma Treatments on Siloxane SOG", VIMIC Conference (June 1994).

FIG 8 presents the FTIR spectra for these films at various stages of curing: (1): after curing with electron beam radiation at a dose of 10000 $\mu\text{C}/\text{cm}^2$ and a temperature of 200 °C; (2): after the cured film of Stage (1) was subjected to chemical-mechanical polish ("CMP") followed by wet clean in HF solution and oxygen plasma ashing; (3): after three day's exposure in ambient conditions following Stage (2); and (4): after re-exposure to electron beam radiation under the conditions of Stage (1) following the ambient exposure of Stage (3).

FIG 8 illustrates an increase in absorbance at wavelengths between 3600 and 3700 cm^{-1} which is indicative of hydroxyl stretching in the films and thus an increase in the film's moisture intake. The hydroxyl group stretching is particularly apparent after the CMP and clean processes of Stage (2). However, this moisture could be removed by re-exposure of the films to electron beam processing as shown in FIG 8.

Example 8: FTIR Results for Electron Beam Cured Films After Exposure to Ambient Environment and Optional Immersion in Water

After producing and curing wafers according to the processes set forth in Examples 1, 2 and 3, FTIR analysis was performed.

FIG 9 compares the FTIR spectrum for a wafer thermally cured in the presence of nitrogen and at a temperature of 425 °C for 1 hour with
5 that of a wafer cured with an electron beam at a dose of 10000 $\mu\text{C}/\text{cm}^2$ and a temperature of 200 °C and exposed to ambient moisture conditions for 7 days. The absence of the absorbance increases at wavelengths of 3600 - 3700 (cm^{-1}) for the electron-beam cured wafers illustrates that they, in contrast to thermally-cured films, did not absorb moisture.

10 FIGs 10(a) and (b) compare the FTIR spectra for films cured with electron beam radiation in the presence of argon gas at a dose of 10000 $\mu\text{C}/\text{cm}^2$ and at a temperature of 400 °C, and at various energy levels both before and after a 24-hour immersion in water having a temperature of 25 °C, respectively. The absence of a visible difference in the FTIR spectra
15 before and after immersion in water indicates that the electron beam cured films did not absorb moisture when immersed in water for 24 hours.

Example 9: FTIR Results for Electron Beam Cured Films Under Nitrogen, Argon, Helium, and Oxygen environments

Wafers were produced and cured according to the processes set
20 forth in Examples 1, 2 and 3, with the exception that the films were exposed to electron beam energy at a dose of 10000 $\mu\text{C}/\text{cm}^2$ and a temperature of 200 °C in the presence of Nitrogen, Argon, Helium, and Oxygen, respectively. After these wafers were aged by exposure to ambient moisture conditions for 7 days, FTIR analysis was performed.

25 FIG 11 illustrates a minimal increase in absorbance at wavelengths of 3600 - 3700 (cm^{-1}) for all gases except Helium. Thus, it is apparent that films may be cured in the presence of Nitrogen, Argon, and Oxygen without being susceptible to subsequent absorption of moisture.

Example 10: Chemical-Mechanical Polishing of Electron-Beam Cured Wafers

Wafers were produced and cured according to the processes set forth in Example 4, then polished and cleaned according to the processes set forth in Examples 7 and 13. During post-polish cleaning, contaminants were removed from film surfaces with a brief oxide etch in HF. This HF dip typically decorates the low density seams in plasma TEOS, requiring a cap deposition to smooth them over.

Thickness measurements of the CMP processed films demonstrated that the electron-beam cured siloxane material possessed a well-controlled polish rate which was similar to that of undoped TEOS, and did not exhibit any high etch rate areas in the post polish cleaned film.

Example 11: Disposable Post Device Wafers

0.5 μm CMOS SRAM disposable post process device wafers available from Cypress Semiconductor Inc. were coated twice according to the process set forth in Example 1, then cured at temperatures of either 150, 250, or 300 °C and a dose of 5000, 7500, and 10,000 $\mu\text{C}/\text{cm}^2$ according to the procedure set forth in Example 4. General details of disposable post processing are described in, for example, Cleaves, M., et al., IEEE Symposium on VLSI Technology Digest of Technical Papers, 61 (1994).

The thickness of the resulting "double coat" on the wafers was about 6500Å. After polishing and processing the resulting wafers through an ash, followed by cleaning with HF as described in Examples 7 and 13, a Ti-TiW glue layer was deposited directly on the polished SOG surface of the wafers. Subsequently, the wafers were exposed to a 600 °C rapid thermal anneal ("RTA") for 1 minute prior to tungsten chemical vapor deposition ("CVD W") at 450 °C. No lifting or outgassing of the film was observed in the resulting wafers.

The electron-beam cured "double coated" films also were baked for 30 minutes in a furnace set a temperature between 425 °C and 700 °C.

Film shrinkage analysis of films baked at a temperature of 425 °C indicated a 4% shrinkage in thickness based upon the thickness as measured directly after rapid thermal anneal. No additional shrinkage occurred at temperatures up to 700 °C. Therefore, it is apparent from

5 Example 11 that the amount of film shrinkage is independent of temperature. Moreover, the resulting wafers were crack-free and well-planarized.

Example 12: Etched Contact Device Wafers

0.5 μm CMOS SRAM conventional etched contact device wafers

10 were produced, cured, polished, cleaned according to the procedure set forth in Example 11, with the exception that both single-coated and double-coated wafers were prepared. No lifting or outgassing of the films was observed during all the process steps required for the fabrication of these devices.

15 **Example 13: Direct On Metal CMP Wafers**

Two coats of Accuglass® 311 SOG were deposited directly on silicon wafers patterned with metal 1, i.e. aluminum, and cured with an electron beam according to the conditions as described in Example 4. 9,000 Å of TEOS was deposited in the manner of CVD onto the resulting

20 SOG layer then polished using a Ipec Westech polishing machine equipped with an IC 1000/ SUBA 4 polish pad available from Rodel under the following conditions: wafer pressure of 7 psi; polish temperature of wafer of 110 °F; SC 112 slurry available from Rippey flowing at 130 ml/min.; platen (holding pad) rpm of 28; carrier (holding wafer) rpm of 28;

25 polish position of 185 mm; and platen oscillations of 5 mm at a speed of 2 mm/sec. Wafers were polished and cleaned with HF, followed by ashing with oxygen plasma. No adhesion problems or other undesirable interactions were seen between the SOG and TEOS layers.

In order to expose the interface between the SOG layer and the TEOS layer to polish stresses, the wafers produced in this Example were subsequently polished under similar conditions. No delamination or other anomaly was observed.

5 **Example 14: Variable Number of SOG Layers on Metal With Exposed Interface**

Example 13 was repeated using either one, two, or three coats of SOG on the wafers. These wafers also showed excellent planarization without cracking of the SOG layer.

10 **Example 15: TEOS-Capped, Variable Number of SOG Layered Wafers**

TEOS-capped wafers were produced and cured according to processes set forth in Examples 13 and 14, but with the exception of using about 12,000 Å of a doped TEOS oxide dielectric over the active devices, 15 a dose of 5000 and 10000 $\mu\text{C}/\text{cm}^2$ and an energy of 9 and 15 KeV. The energy required for the electrons to reach the surface of the wafer was estimated to be about 12 KeV. The chosen values of electron beam energy were thus expected to put electrons beyond the TEOS film's surface and into the silicon wafer itself.

20 The cured wafers were then processed through the contact etch, contact fill (W plug) and local interconnect formation steps as set forth in Example 11, and tested for device and field threshold voltages and QBD of the gate oxide. The details of these tests are described in Wolf, "The Submicron MOSFET", 3 Silicon Processing for the VLSI Era (1995). The 25 results of the field threshold test did not indicate a shift in the voltage ("V_{ts}") of the n-channel transistors, but showed a small shift in the V_{ts} of the p-channel transistors. However, the 30 mV shift of V_{ts} of the p-channel devices at high energies of 15 KeV is still small in comparison to the permitted range for V_t variation, i.e. up to about 150 mV. An increase 30 in the dose over 10000 $\mu\text{C}/\text{cm}^2$ with electron beam energy of 15000KeV

resulted in a systematic degradation of the QBD, which implies that the gate oxide may become damaged during electron beam exposure at such high levels.

**Example 16: Characteristics of SRAM Test
Structure Incorporating Film as a Dielectric Over Polysilicon**

A "double coat" of Accuglass® SOG film was produced and cured onto 0.5 μm polysilicon-coated Static Random Access Memory ("SRAM") test structures in accordance with the procedure set forth in Example 3 and under conditions of 200 °C, 10 KeV, and 10000 $\mu\text{C}/\text{cm}^2$. 0.6 μm contacts were then made in the cured SOG coated structures by either the conventional etch based approach of Example 12 or the disposable post process of Example 11.

In the post processed structures, SOG characteristics were evaluated at different temperatures of anneal, i.e. 425 °C, 600 °C, and 700 °C before contact metallization but after formation of the contacts. The salicide resistance was unaffected by the SOG process because of the low thermal budget.

In order to form vias by conventional etch processes, the SOG layer was capped by 9000 Å of TEOS SiO_2 as described in Examples 13 and 14, then polished back according to the process set forth in Example 13. 0.7 vias were etched in this dielectric. Via filling was performed with blanket W and etchback processing as described in, for example, H. Kojima et al., "Planarization Process Using a Multi-Coating of Spin-On-Glass" VLSI, (June 1988).

Electrical resistance tests as described in, for example, Anner, "Planar Processing Primer" 79-90 (1990), of the structures containing etch contacts showed that the contact resistance of the electron-beam cured SOG layer was higher than that for the doped reflowed TEOS SiO_2 dielectric layer. This is likely due to the large overetch in the contact etch which etched away most of the TiSi_2 from the underlying oxide.

As illustrated in FIG 12, the QBD of the gate oxide is equivalent to that of dop d reflowed TEOS SiO₂ with etched contacts, which implies that the damage to the oxide during electron-beam processing for wafers having a thin SOG layer is less than that for wafers having a TEOS SiO₂ oxide. A summary of the electrical results is provided in Table 2.

TABLE 2

| Contact scheme | Contact resistance (ohms) | | | | Self-aligned Contact Leakage | Salicide resistance | Salicide P ⁺ -N ⁺ strap resistance |
|-------------------------------------|---------------------------|---------------------------|--------------------------------|--------------------------------|------------------------------|---------------------|--|
| | Generic to N ⁺ | Generic to P ⁺ | Self-aligned (P ⁺) | Self-aligned (N ⁺) | | | |
| Post scheme with SOG (425 C Anneal) | 38 | 36 | 42 | 48 | Pass | 16 | 170 |
| Post scheme with SOG (600 C Anneal) | 39 | High | open | 61 | Pass | 19 | 270 |
| Post scheme with SOG (700 C Anneal) | 37 | 35 | 45 | 50 | Pass | 22 | 205 |
| Etch scheme with SOG | 32 | 31 | NA | NA | NA | 30 | 180 |
| Control | 25 | 25 | 68 | 58 | Pass | 135 | >5000 |

Example 17: Electron-Beam Processed CVD TEOS for Poly Level Dielectric

A layer of TEOS film having a thickness between 1000 Å to 8000 Å, preferably from about 1500 Å to about 3000 Å, is deposited via CVD onto polysilicon wafers under a temperature of about 350 °C to about 450 °C and a pressure of about 7 to 9 torr. The TEOS film is then exposed for about 10 minutes to a flux of electron-beam radiation at a dose of about 5000 to about 10000 μC/cm² and an energy of about 5 to about 15 KeV under a temperature of about 200 °C to about 250 °C and a pressure of about 10 mTorr to 40 mTorr in the presence of nitrogen or argon in an

ElectronCure™ device available from Electron Vision, Inc. The resulting film is a silicon-rich, densified TEOS oxide.

5 Either silicate, phosphosilicate, and or siloxane SOG is then spun-on the cured TEOS wafers and cured. The type of SOG selected and the thickness of the SOG coating is dependent upon the desired planarization. Optionally, the dielectric stack may be completed by a CVD TEOS oxide deposition if desired, or alternatively, the SOG may be left as the final layer in the inter-level dielectric stack.

Example 18: Formation of Ultra-Thin Gate Oxide

10 Polysilicon wafers are exposed to the electron beam processing conditions of Example 15 in the presence of oxygen gas under pressures of about 10 to about 200 mTorr and temperatures of about 250 °C for a period of time sufficient to grow the desired thickness of oxide. The result is a uniformly dense and homogeneous film which is suitable for further
15 processing required for microelectronic applications.

Claims:

29

1. A process for curing a dielectric material on a substrate comprising:
 - (a) applying to a surface of said substrate a dielectric material; and
 - (b) exposing said dielectric material to electron beam radiation under conditions sufficient to cure the dielectric material into a film.
- 5 2. The process of claim 1 wherein said dielectric material is comprised of silicates, phosphosilicates, siloxanes, phosphosiloxanes or mixtures thereof.
3. The process of claim 2 wherein said dielectric material is comprised of, before exposure to said electron beam radiation, a siloxane having, based
10 upon the total weight of said siloxane, of from about 2% to about 90% of organic groups comprising alkyl groups having from about 1 to about 10 carbons, aromatic groups having from about 4 to about 10 carbons, aliphatic groups having from about 4 to about 10 carbons, or mixtures thereof.
4. The process of claim 1 wherein said dielectric material is cured at a
15 temperature of from about 25 °C to about 400 °C.
5. The process of claim 1 wherein said dielectric material is cured at a pressure of from about 10 mtorr to about 200 mtorr.
6. The process of claim 1 wherein said substrate is exposed to electron beam radiation in the presence of a gas selected from the group
20 consisting of oxygen, argon, nitrogen, helium and mixtures thereof.
7. A substrate coated with at least one layer of the film of claim 1.
8. A microelectronic device containing the substrate of claim 7.
9. A process for annealing a substrate coated with a chemical vapor deposit material comprising:
25 a) applying to the surface of the substrate the chemical vapor deposit material; and
b) exposing the chemical vapor deposit material to electron beam radiation under conditions sufficient to anneal the chemical vapor deposit material into a film.
- 30 10. The process of claim 9 wherein said chemical vapor deposit material is comprised of plasma-enhanced tetra-ethyl ortho silicate, silane based oxide, boron-phosphosilicate glass, phosphosilicate glass, nitride,

anhydride film, oxynitride, borophospho glass from tetraethyl orthosilane, or mixtures thereof.

11. The process of claim 9 wherein said chemical vapor deposit material is applied to said substrate in the presence of a gas comprising a mixture of tetra-ethyl ortho silicate and oxygen or oxygen, silane and optionally diborane, phosphine, and nitrous oxide.

12. A substrate coated with at least one layer of the film of claim 9.

13. A microelectronic device containing the substrate of claim 12.

14. A process for growing ultra-thin film oxides or nitrides on a substrate comprising:

exposing a surface of the substrate to electron beam radiation in the presence of a material in a gaseous state and under conditions sufficient to ionize the material and promote an oxidization or nitridation reaction on the surface of the substrate.

15. The process of claim 14 wherein said substrate is comprised of gallium arsenide or silicon.

16. The process of claim 14 wherein said material is comprised of oxygen, ammonia, nitrogen, nitrous oxide, reaction products or mixtures thereof in the form of a gas, a sublimed solid or a vaporized liquid.

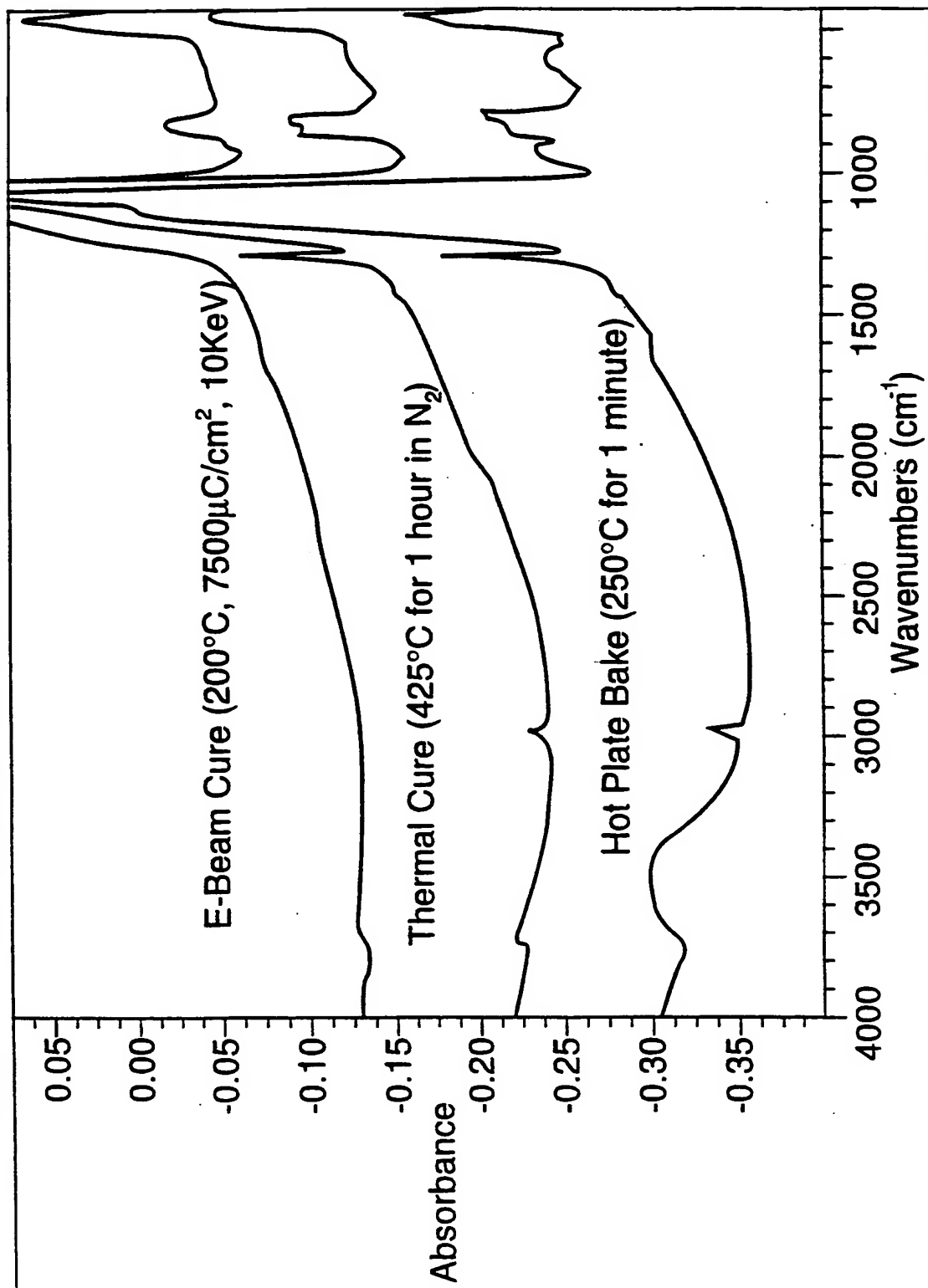
17. A substrate coated with at least one layer of the film of claim 14.

18. A microelectronic device containing the substrate of claim 17.

19. The process of claim 1 wherein said substrate is a silicon wafer.

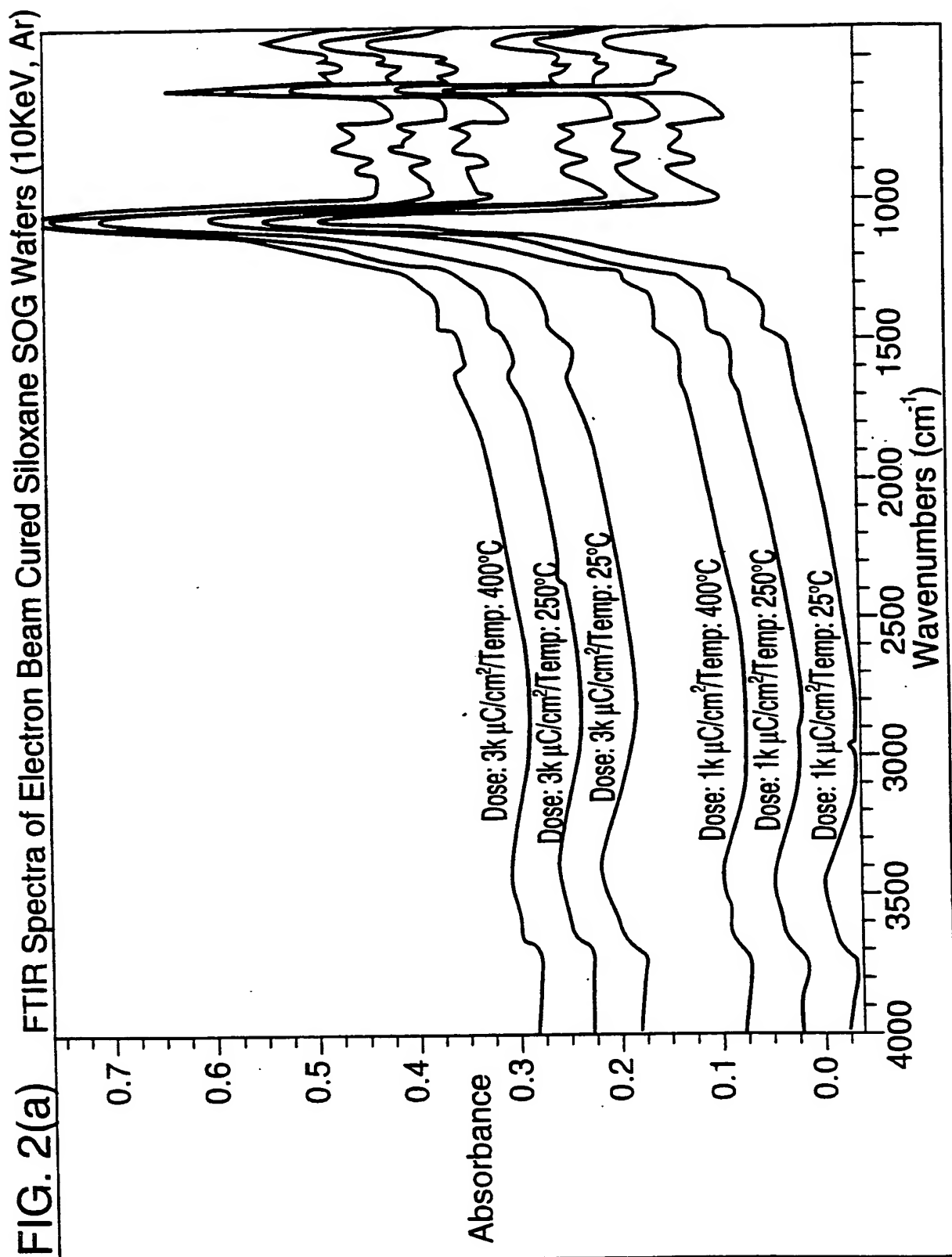
1/18

FIG. 1 FTIR SPECTRA OF SILOXANE SOG COATED WAFERS



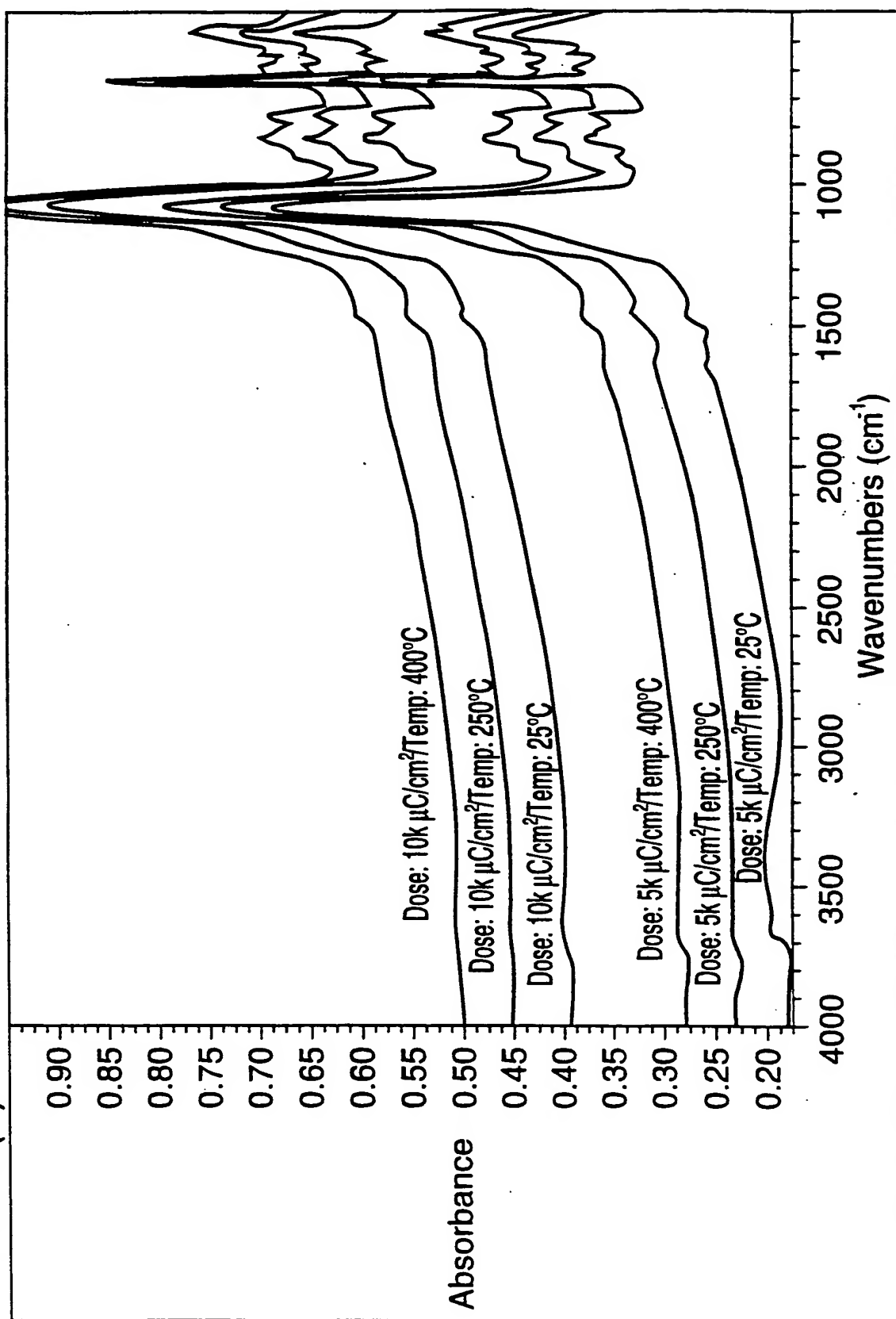
SUBSTITUTE SHEET (RULE 26)

2/18



3/18

FIG. 2(b) FTIR Spectra of Electron Beam Cured Siloxane SOG Wafers (10 KeV, Ar)



4/18

FIG. 3 Film Shrinkage versus Electron Beam Dose at Energy of 10 KeV for Siloxane SOG Coated Wafers

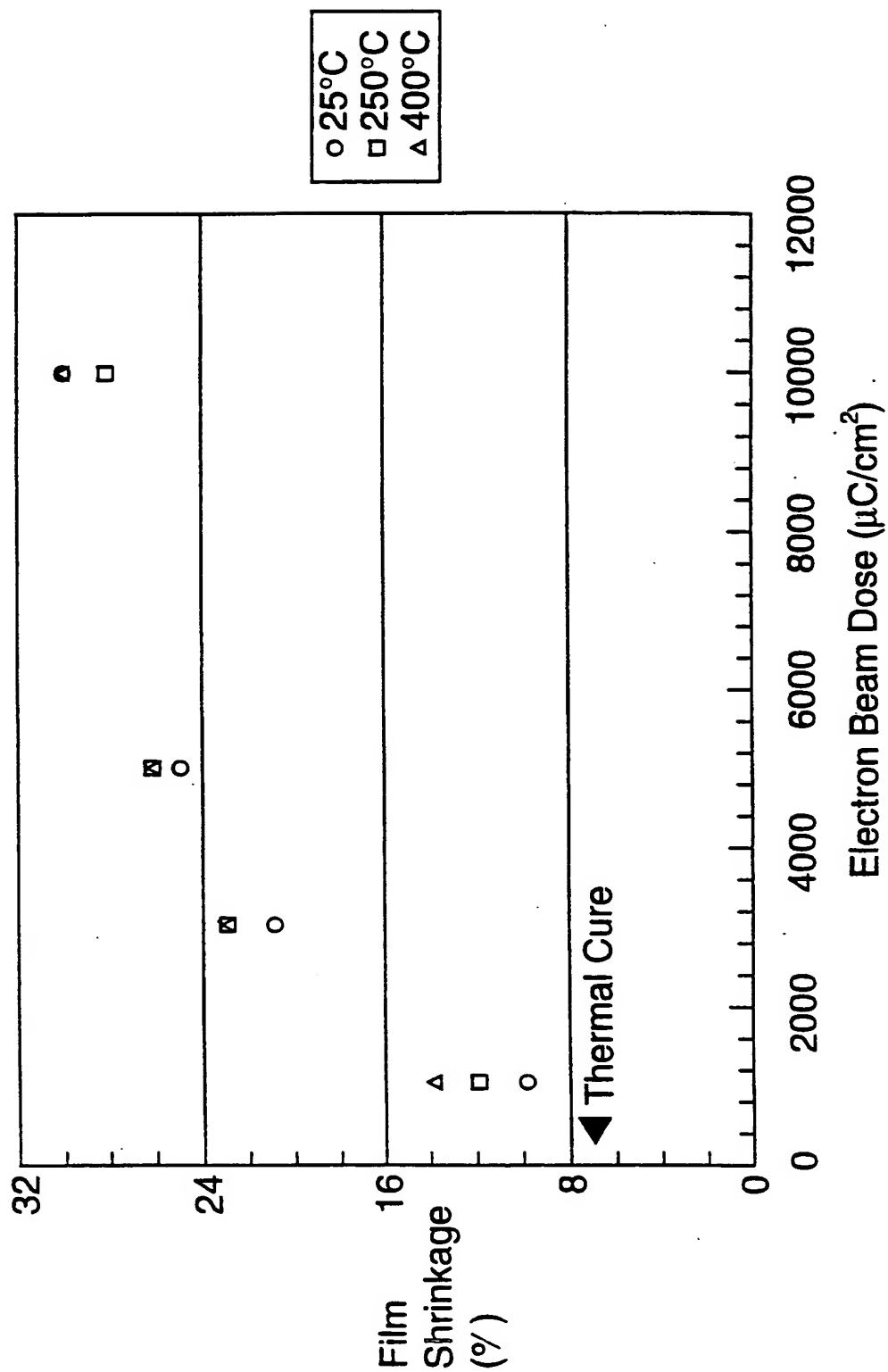


FIG. 4 Film Shrinkage versus Electron Beam Energy

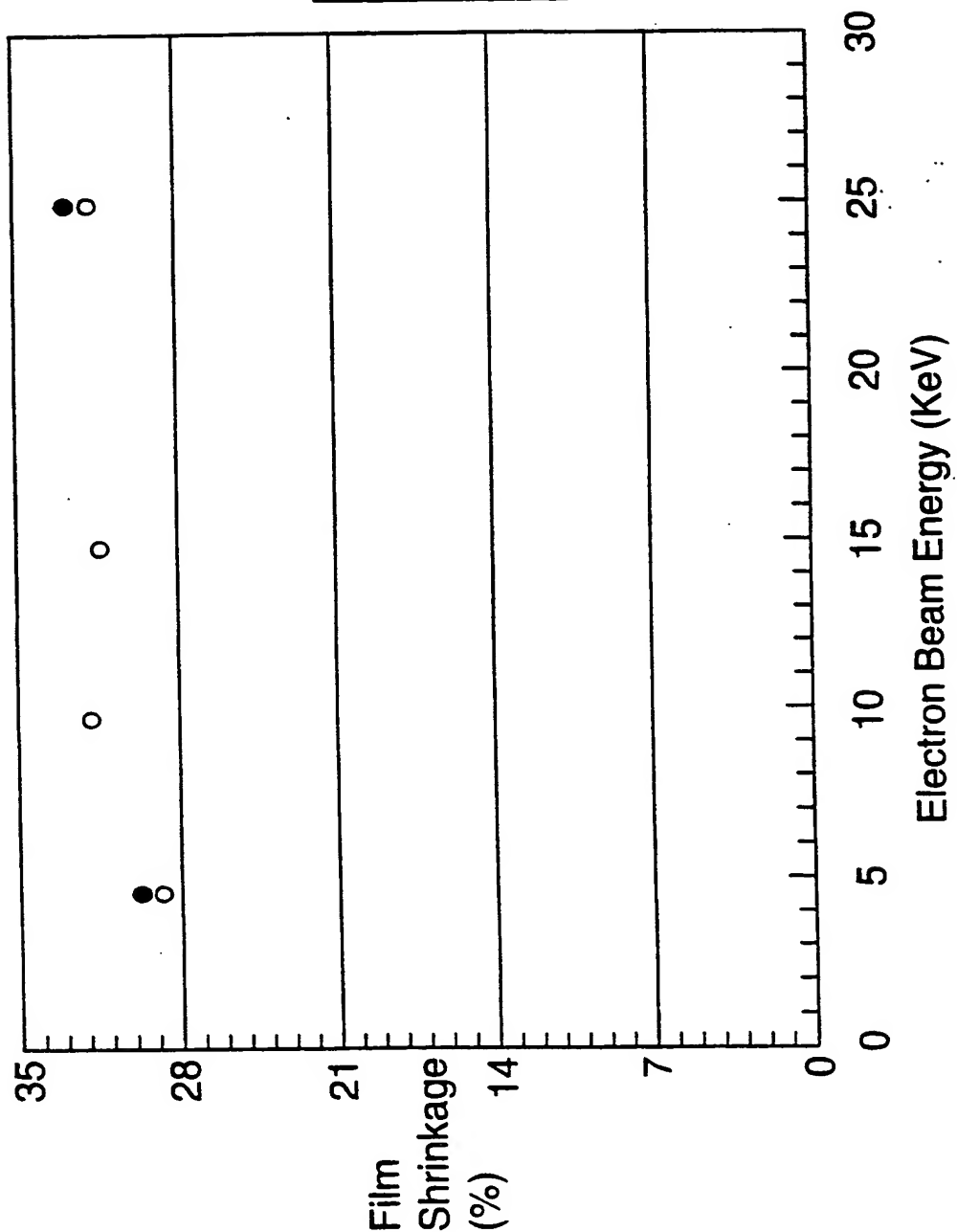
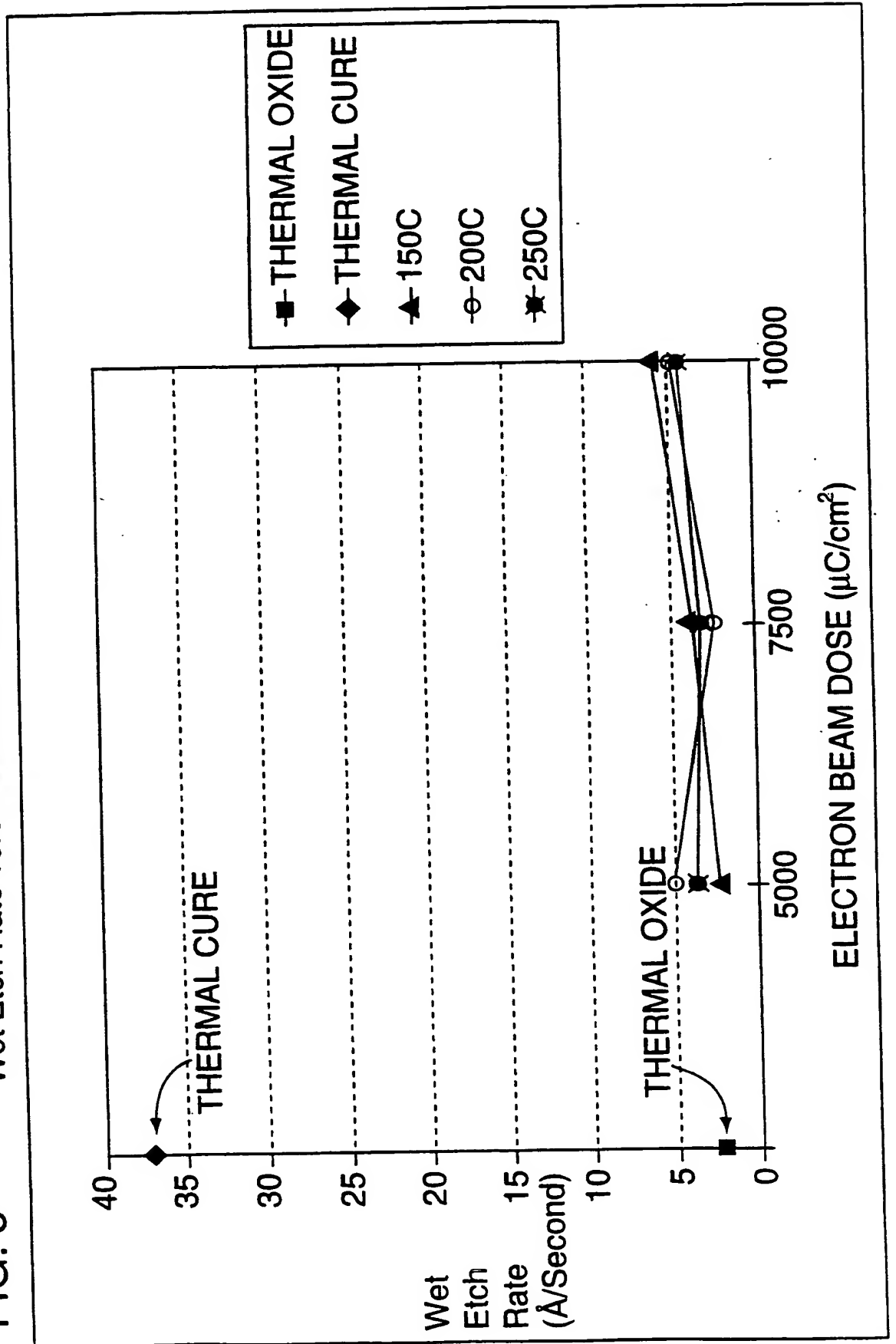
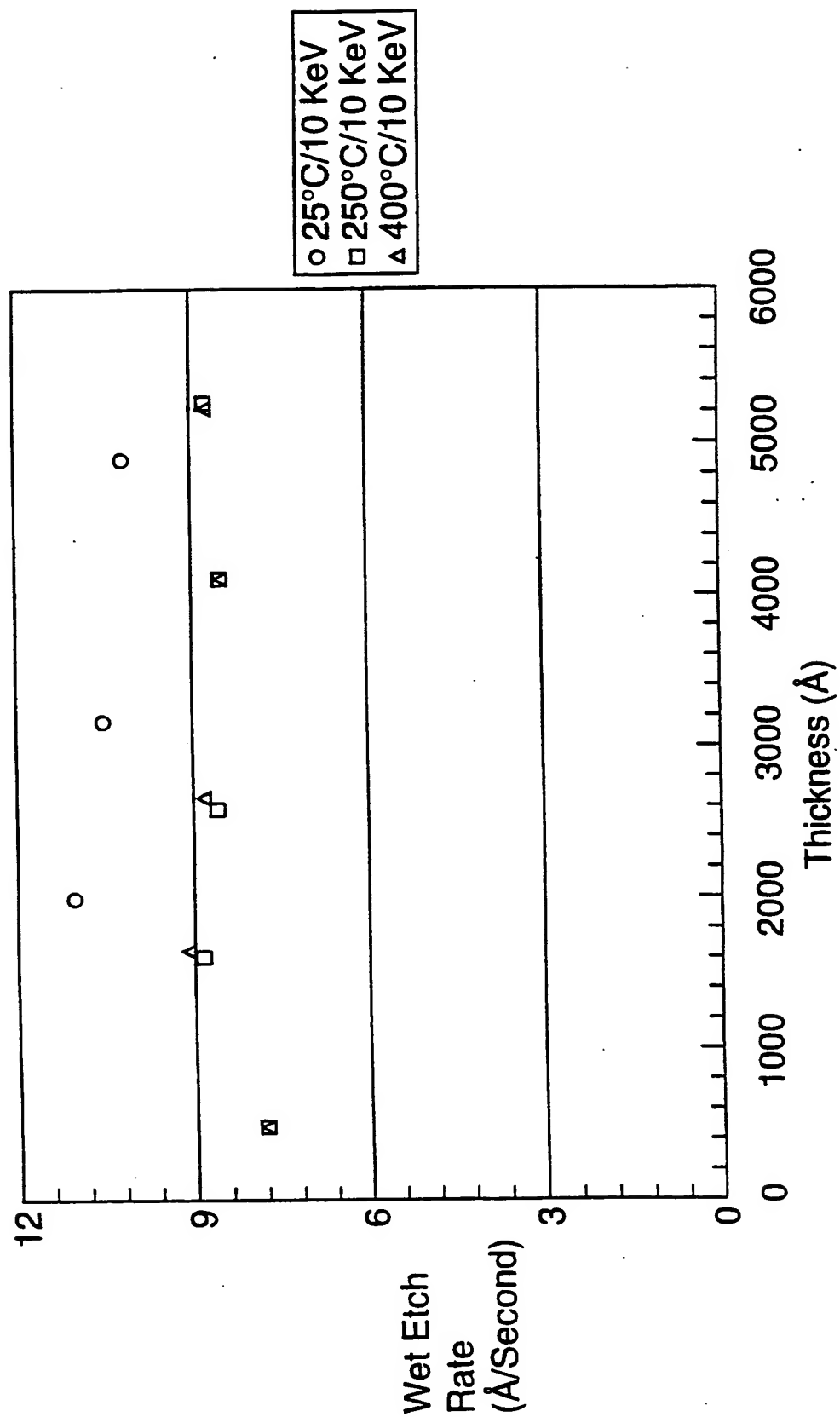


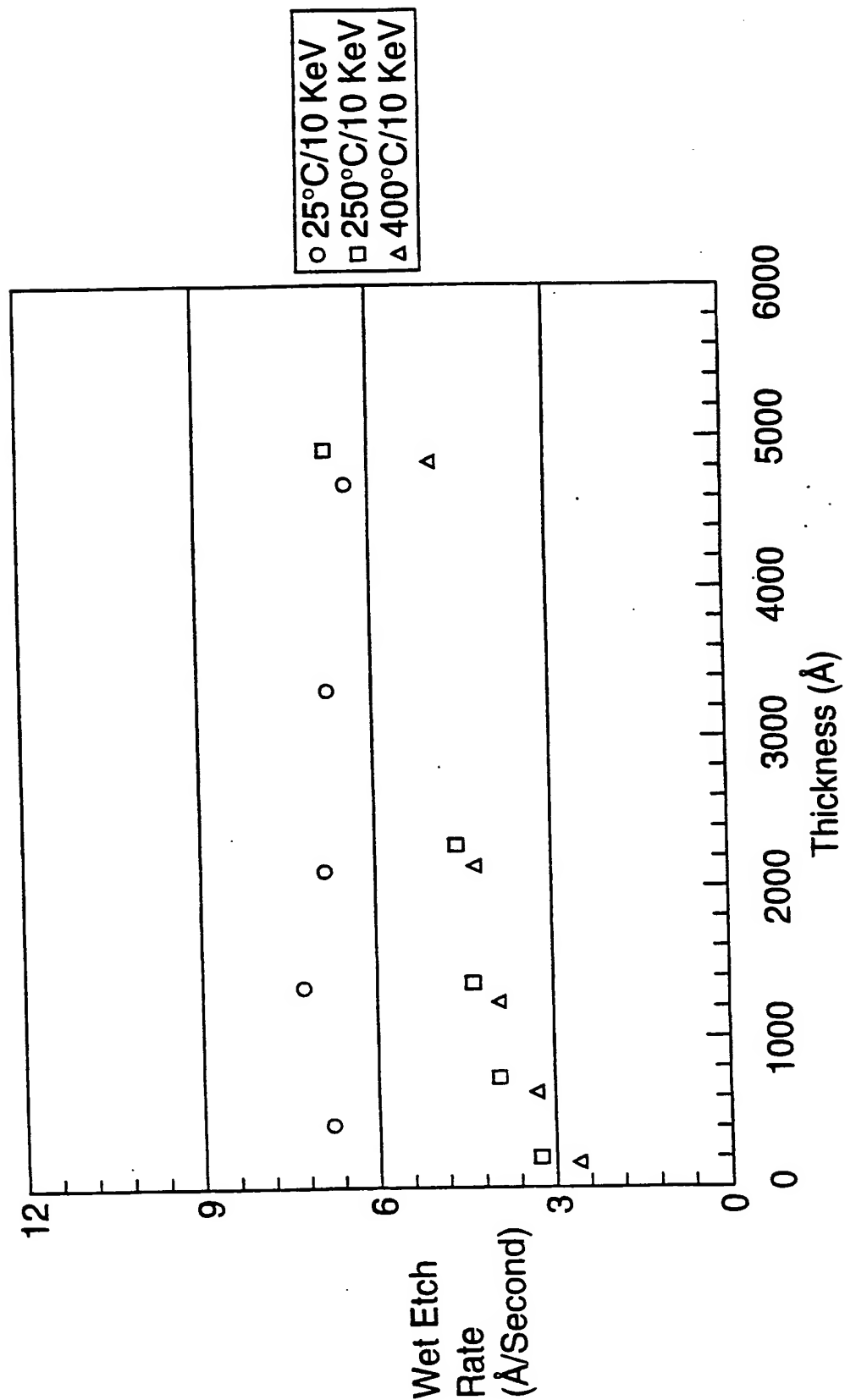
FIG. 5 Wet Etch Rate versus Electron Beam Dose



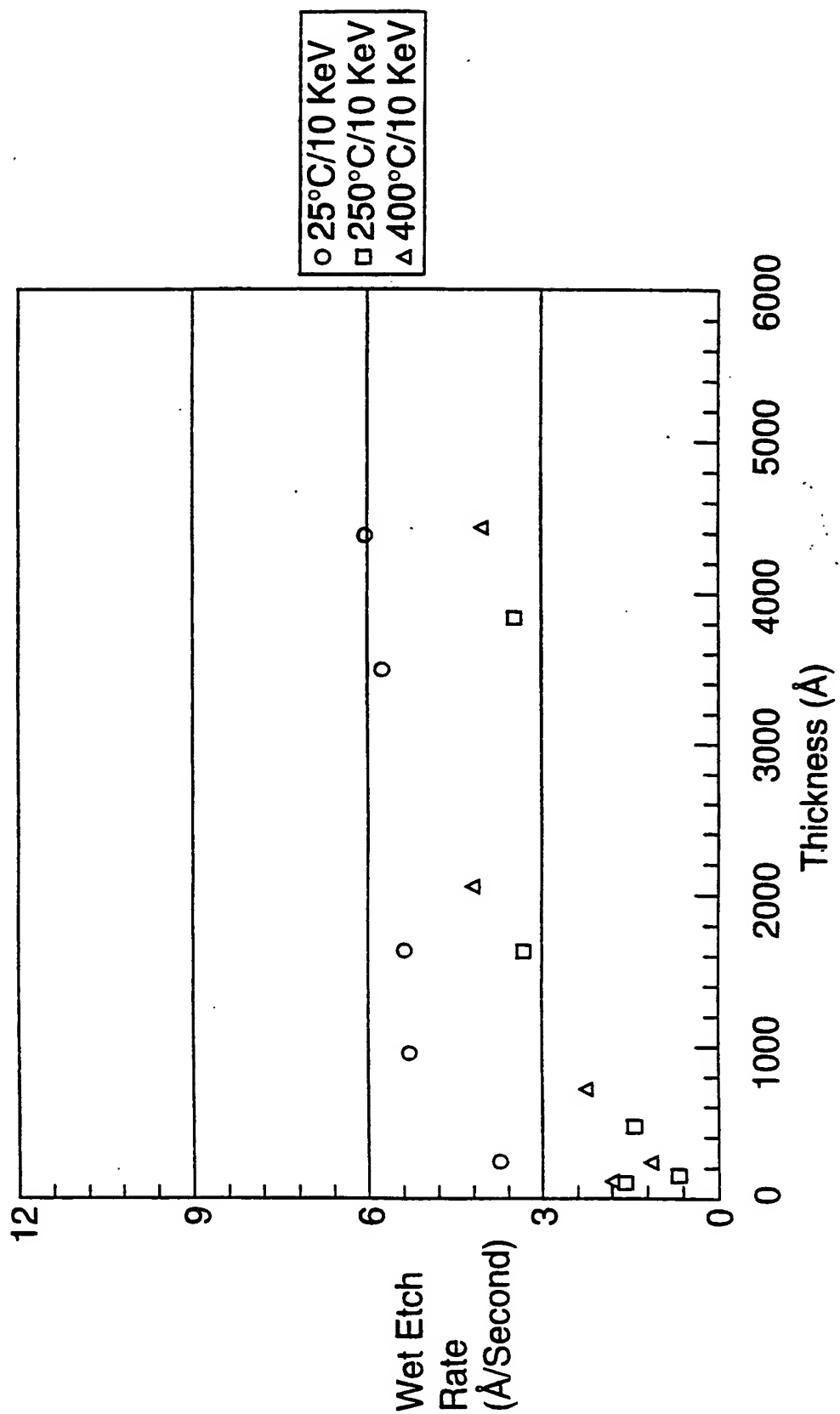
7/18

FIG. 6(a) Wet Etch Rate at Dose of $1000 \mu\text{C}/\text{cm}^2$ 

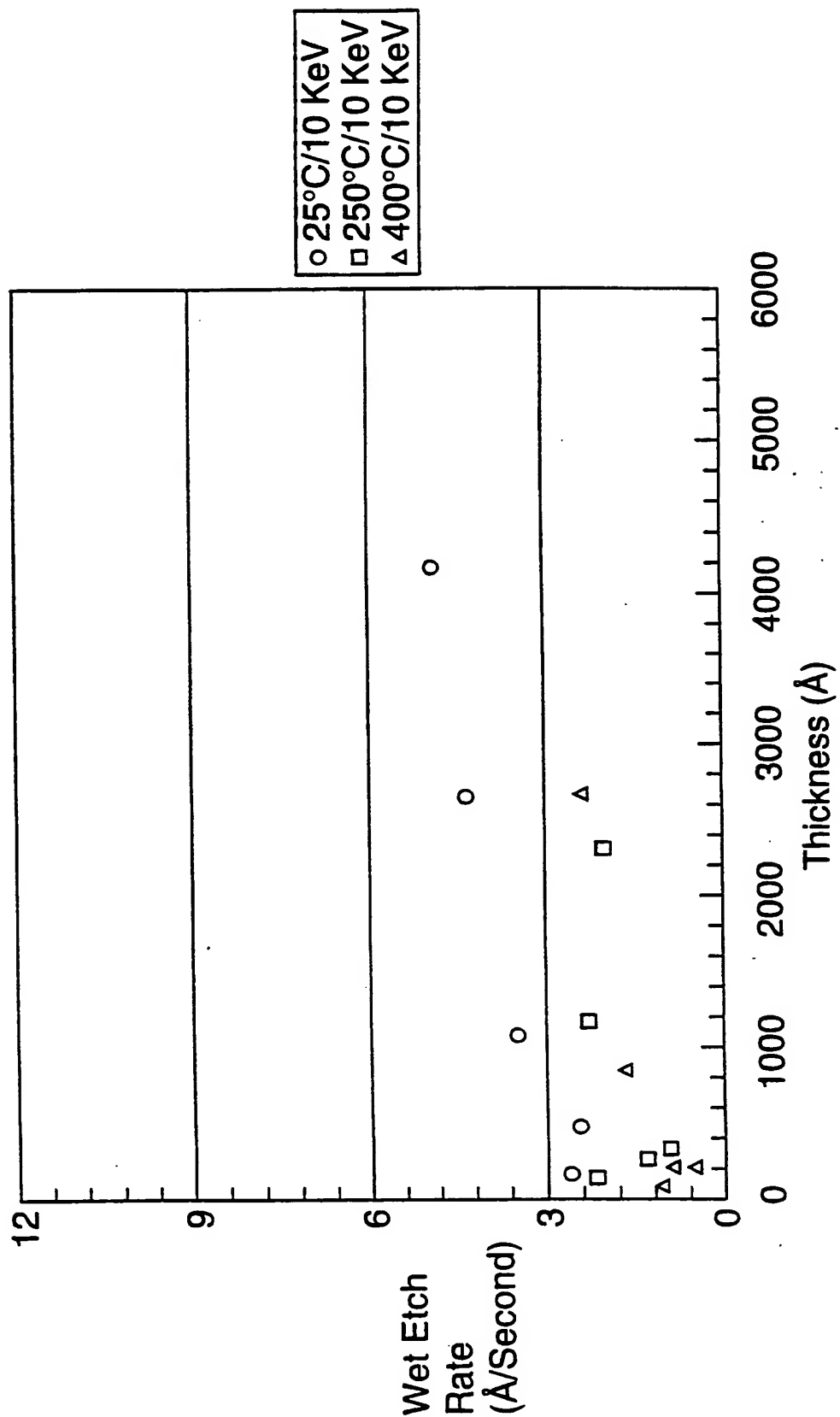
8/18

FIG. 6(b) Wet Etch Rate at Dose of $3000 \mu\text{C}/\text{cm}^2$ 

9/18

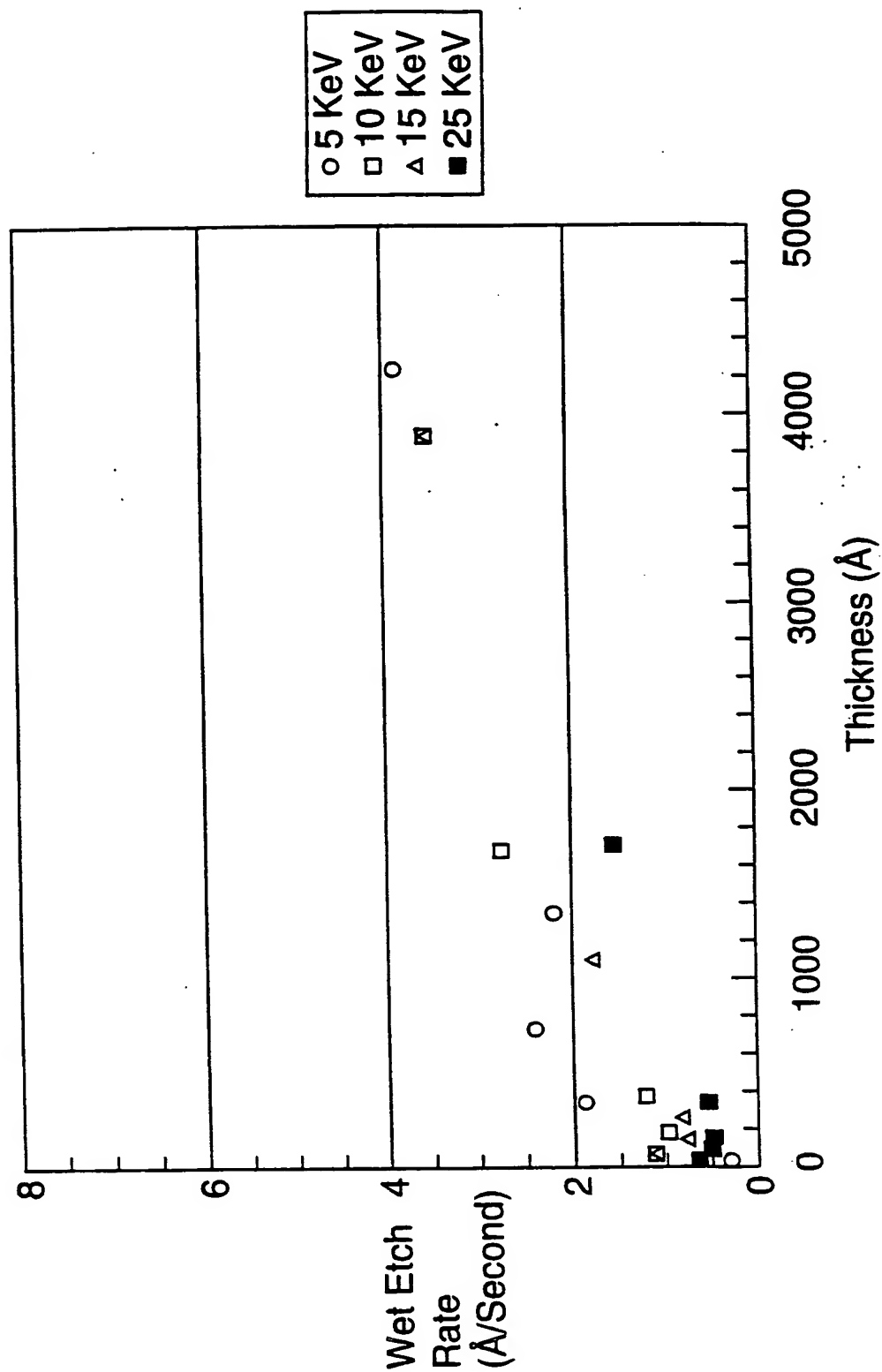
FIG. 6(c) Wet Etch Rate at Dose of 5000 $\mu\text{C}/\text{cm}^2$ 

10/18

FIG. 6(d) Wet Etch Rate at Dose of 10000 $\mu\text{C}/\text{cm}^2$ 

11/18

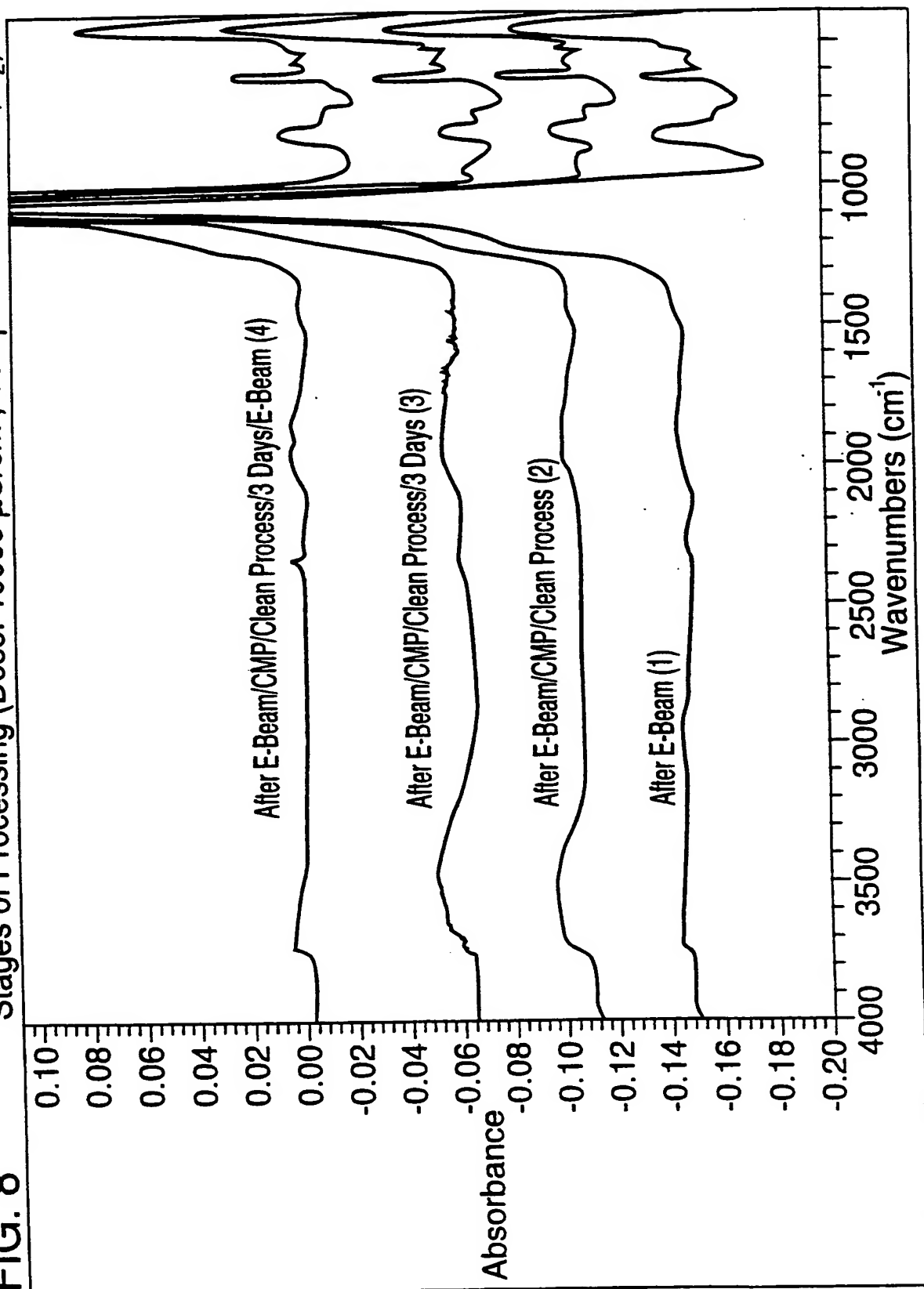
FIG. 7 Wet Etch Rate at Variable Electron Energy
(Dose: 10000 $\mu\text{C}/\text{cm}^2$; Temperature: 400°C)

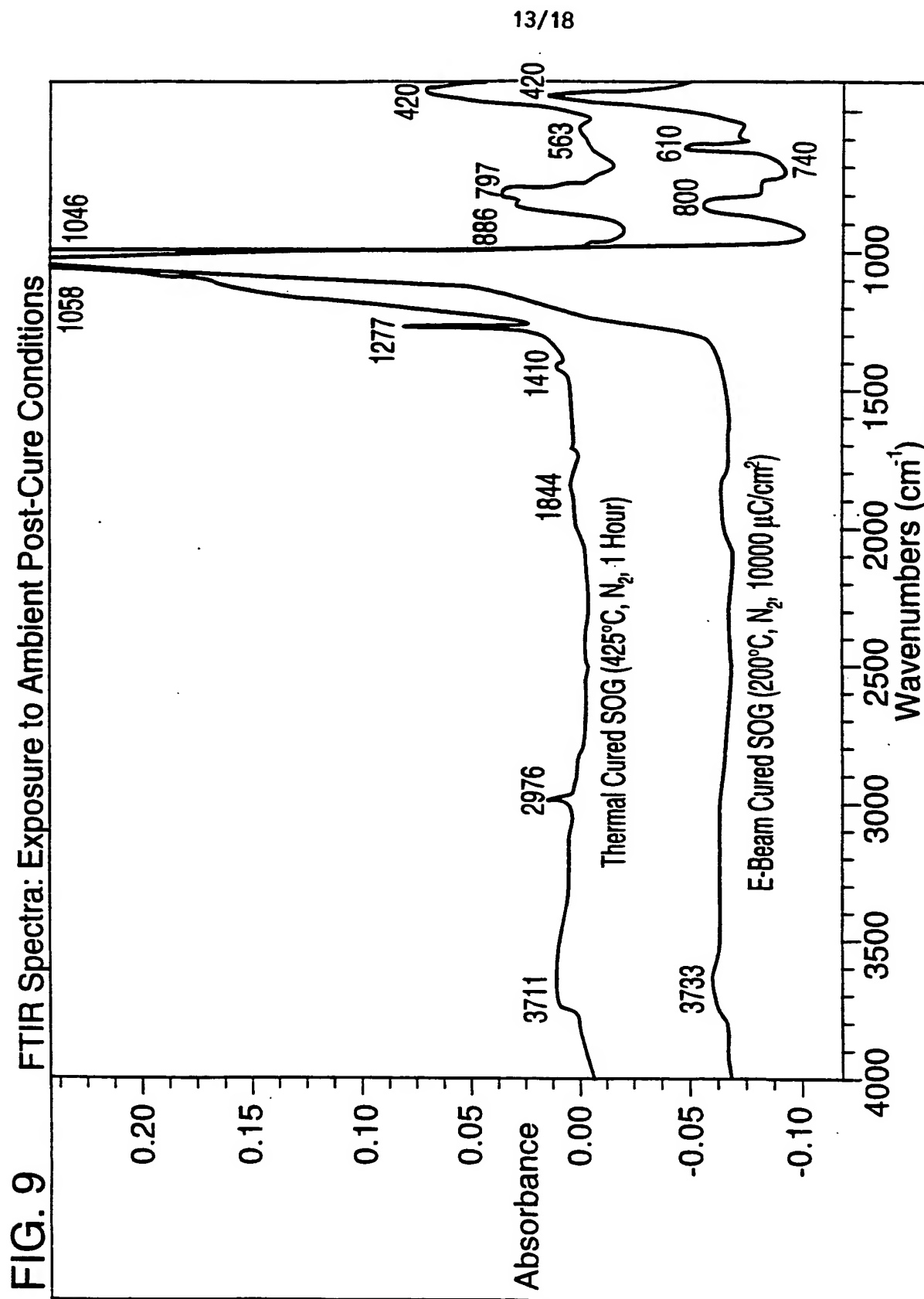


12/18

FTIR Spectra for Electron Beam Cured SOG Coated Wafers at Different Stages of Processing (Dose: 10000 $\mu\text{C}/\text{cm}^2$, Temperature: 200°C, N_2)

FIG. 8

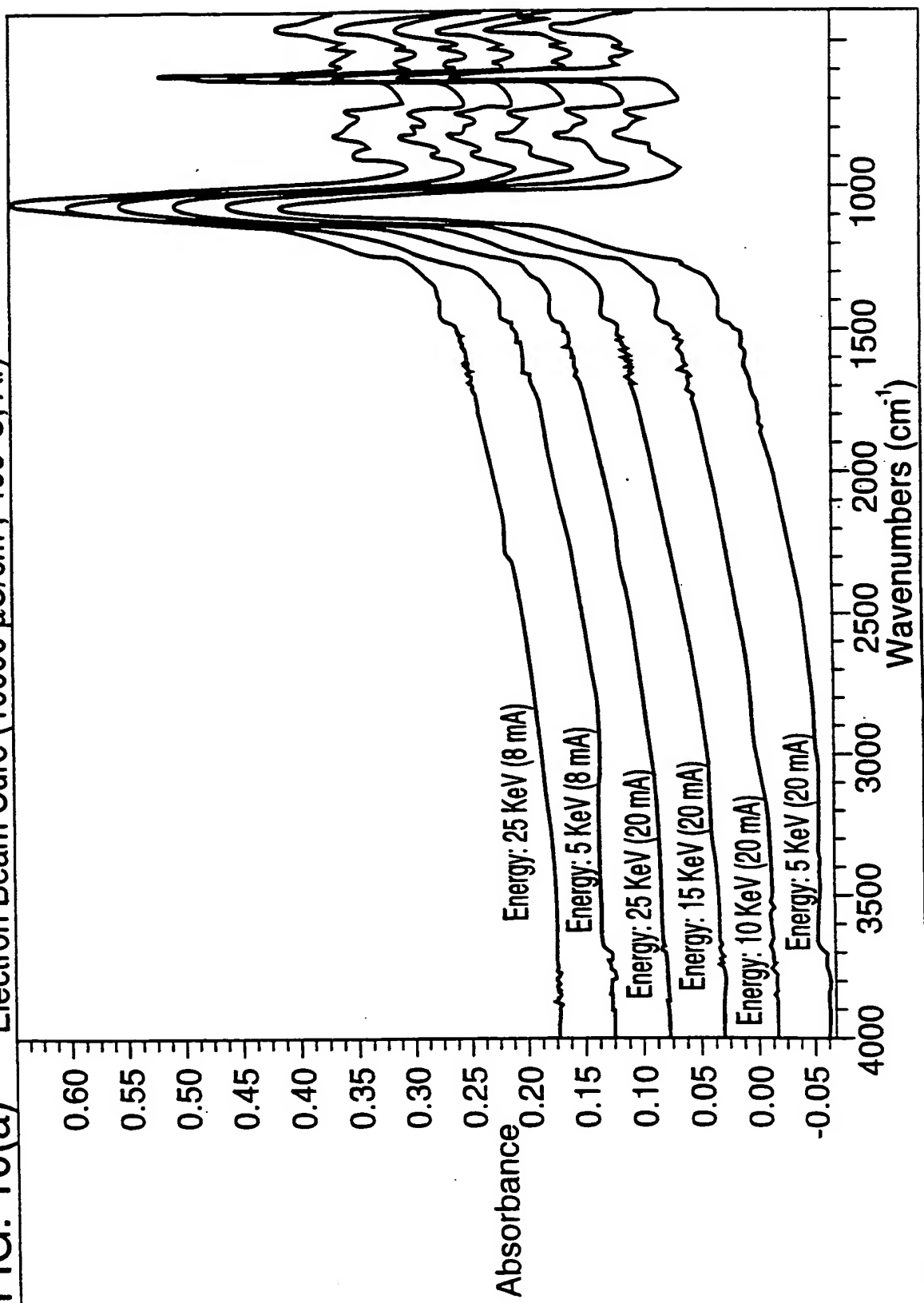




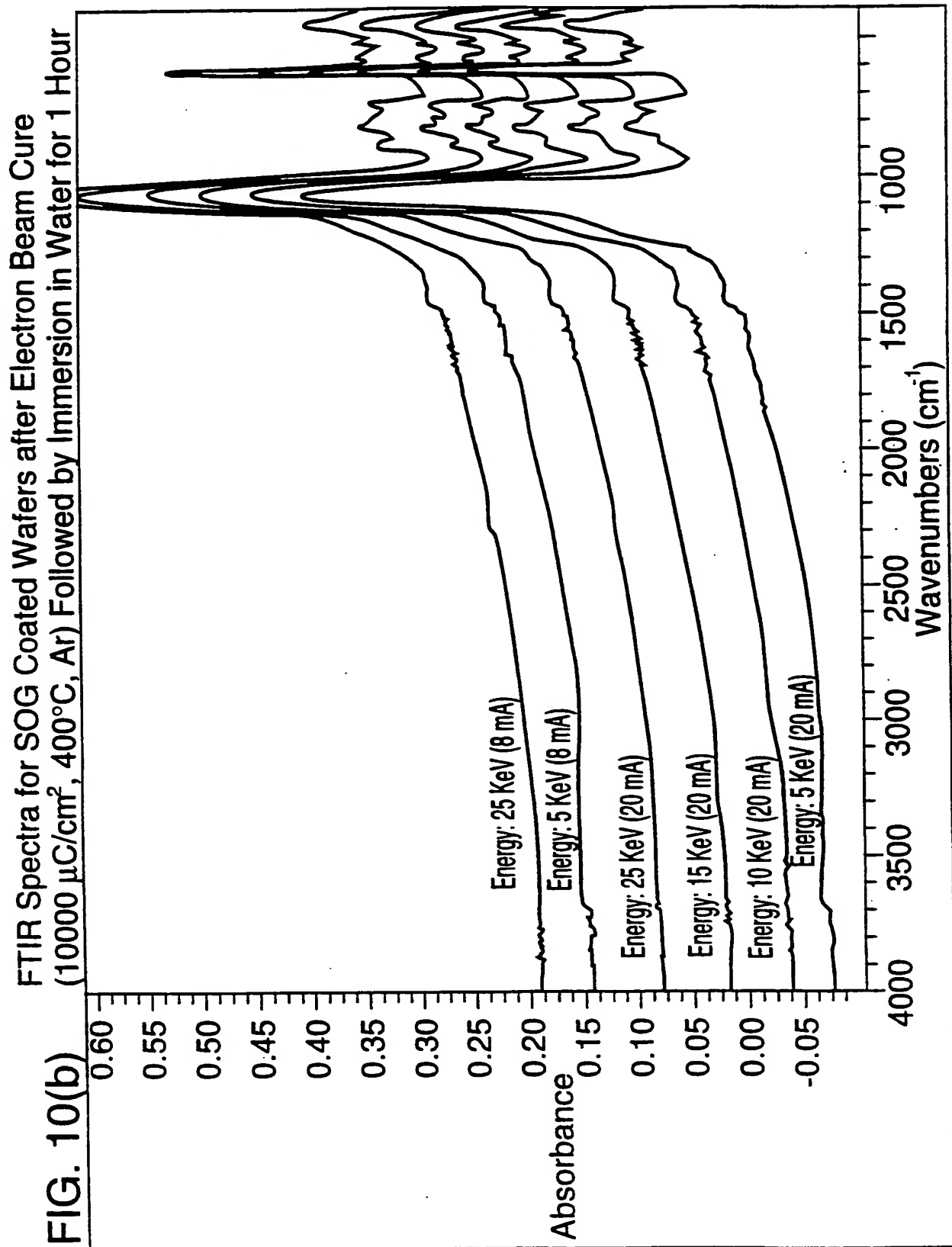
14/18

FTIR Spectra for SOG Coated Wafers after
Electron Beam Cure (10000 $\mu\text{C}/\text{cm}^2$, 400°C, Ar)

FIG. 10(a)

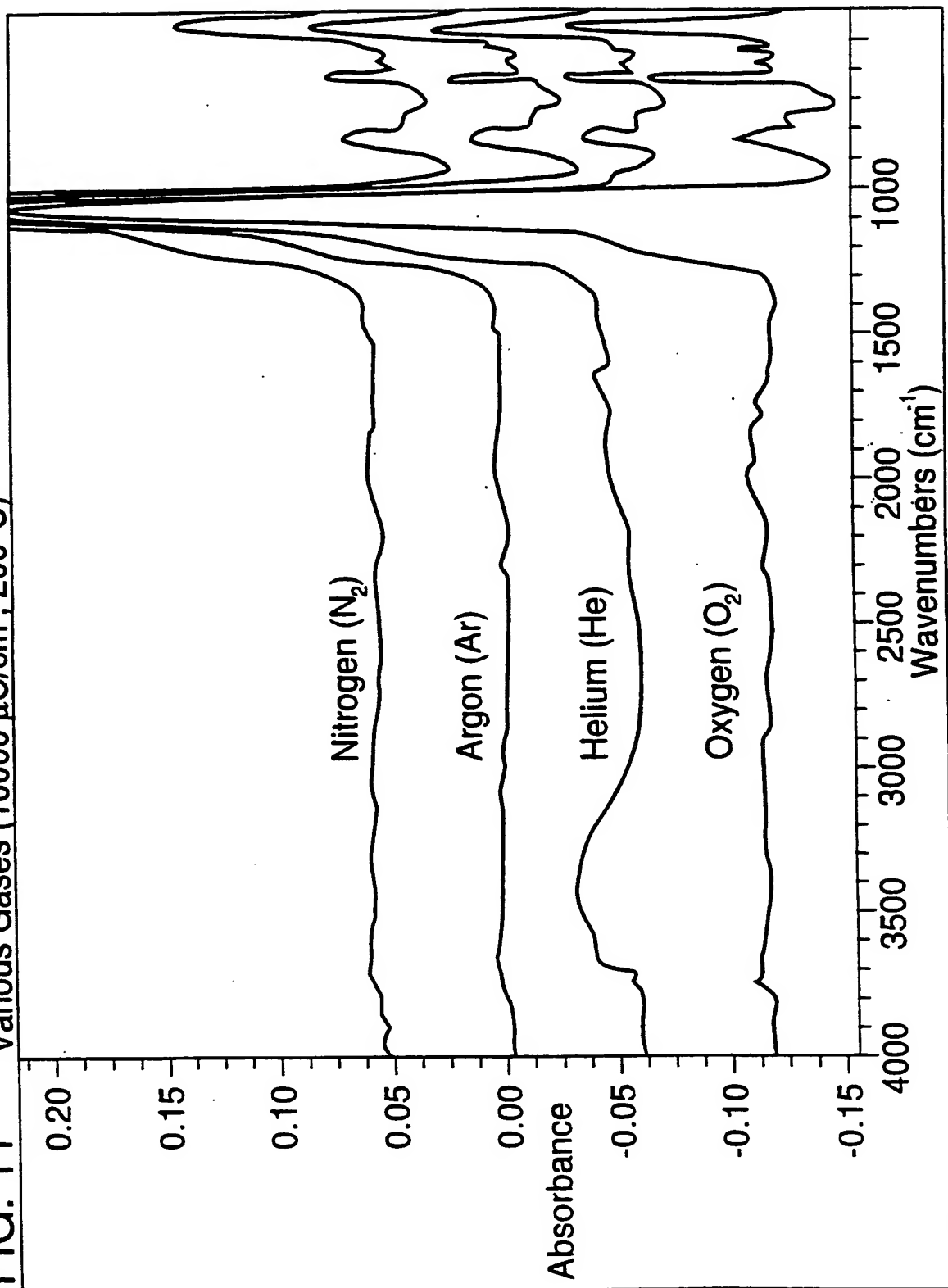


15/18



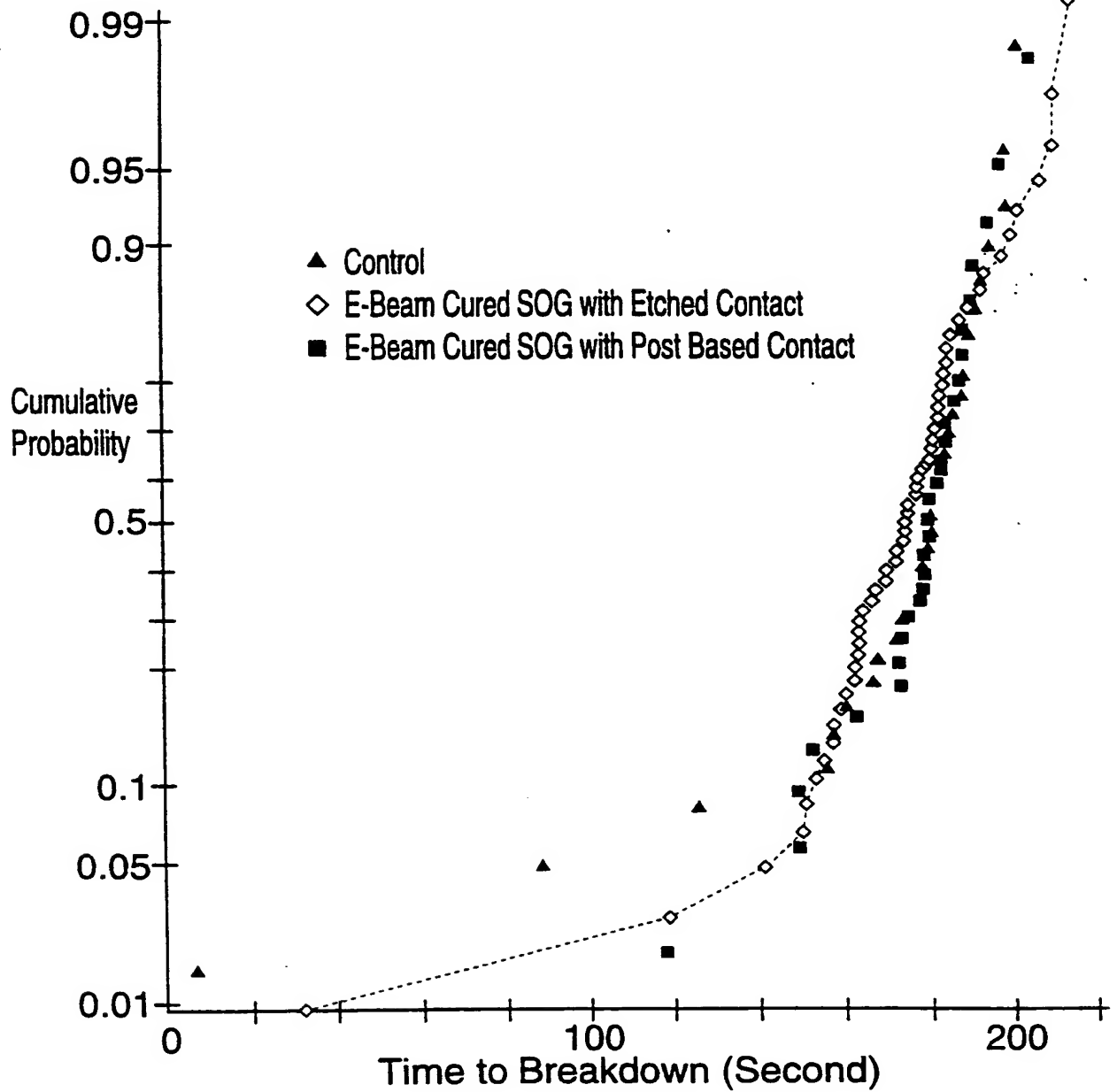
16/18

FIG. 11
SOG Coated Wafers Cured with Electron Beams in the Presence of
Various Gases (10000 $\mu\text{C}/\text{cm}^2$, 200°C)



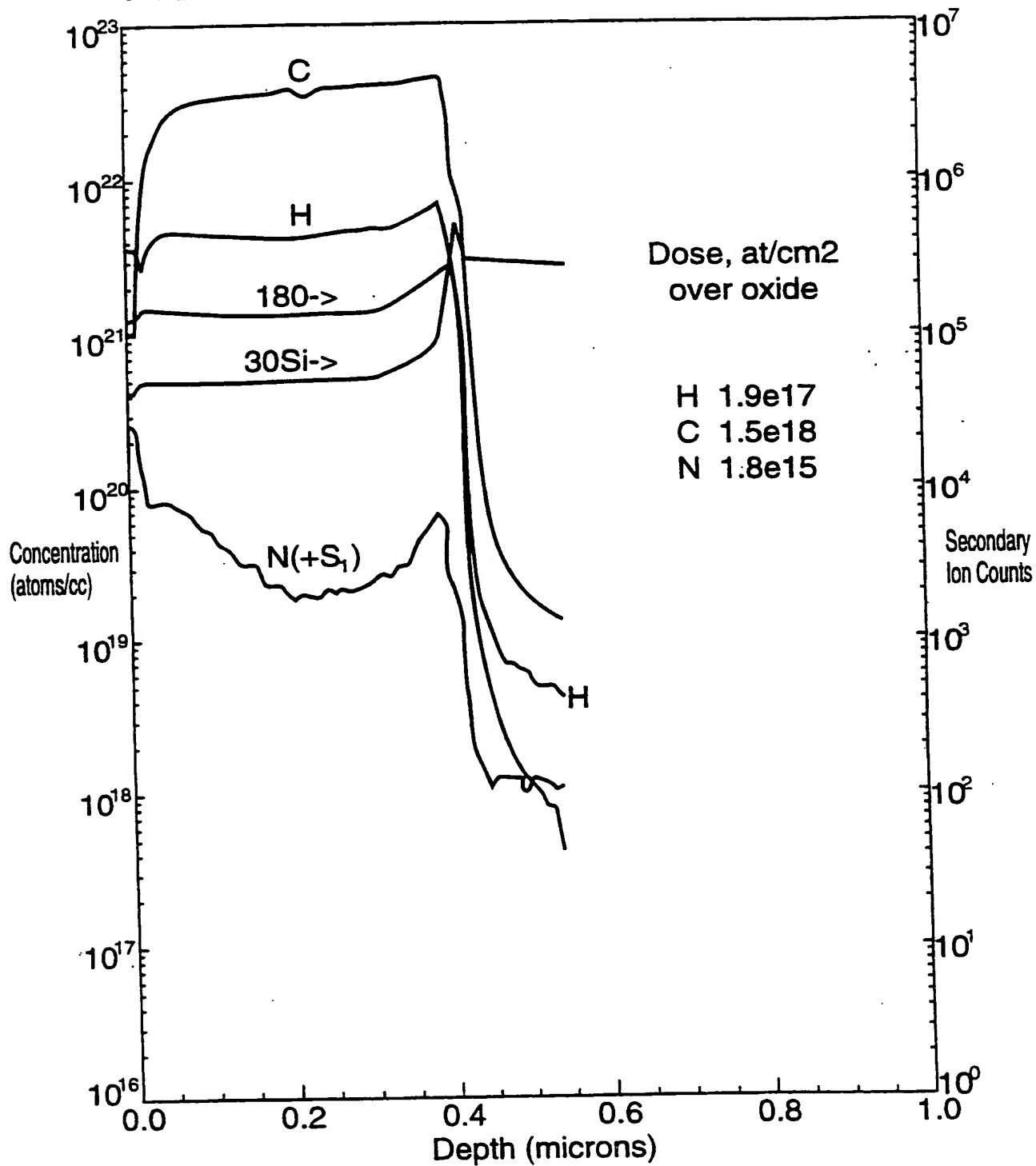
17/18

FIG. 12 QBD of Gate Oxide with TEOS Dielectric and E-Beam Cured SOG



SUBSTITUTE SHEET (RULE 26)

FIG. 13 SIMS Profile Analysis



INTERNATIONAL SEARCH REPORT

International Application No
PCT/US 96/08678

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/316 H01L21/3105

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|---|-----------------------|
| X | US,A,4 222 792 (LEVER REGINALD F ET AL) 16 September 1980 see column 5, line 45 - column 6, line 21; example 1 --- | 1-3,6-8, 19 |
| X | US,A,4 596 720 (KERYK JOHN R ET AL) 24 June 1986 see column 8, line 22-42; claims 12-14 --- | 1-3,6,7 |
| A | EP,A,0 647 965 (DOW CORNING) 12 April 1995 see claims 1-10 --- | 1,3,4,6, 19 |
| A | EP,A,0 334 051 (SHOWA DENKO KK) 27 September 1989 see claims 1-13 ----- | 1-3 |

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

30 August 1996

Date of mailing of the international search report

25. 09. 96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Authorized officer

Hammel, E

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 96/08678

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|---|---------------------|----------------------------|---------------------|
| US-A-4222792 | 16-09-80 | CA-A- 1142272 | 01-03-83 |
| | | EP-A- 0025129 | 18-03-81 |
| | | JP-C- 1216438 | 17-07-84 |
| | | JP-A- 56040261 | 16-04-81 |
| | | JP-B- 58051422 | 16-11-83 |
| ----- | | | |
| US-A-4596720 | 24-06-86 | CA-A- 1283491 | 23-04-91 |
| | | DE-A- 3680625 | 05-09-91 |
| | | EP-A- 0217334 | 08-04-87 |
| | | JP-C- 1735579 | 17-02-93 |
| | | JP-B- 4017991 | 26-03-92 |
| | | JP-A- 62086062 | 20-04-87 |
| ----- | | | |
| EP-A-0647965 | 12-04-95 | US-A- 5441765 | 15-08-95 |
| | | CA-A- 2117593 | 23-03-95 |
| | | JP-A- 7187640 | 25-07-95 |
| | | US-A- 5523163 | 04-06-96 |
| ----- | | | |
| EP-A-0334051 | 27-09-89 | JP-A- 1215832 | 29-08-89 |
| | | JP-C- 1781976 | 13-08-93 |
| | | JP-B- 4070339 | 10-11-92 |
| | | DE-D- 68926359 | 05-06-96 |
| | | US-A- 5206092 | 27-04-93 |
| ----- | | | |

ELECTRON-BEAM PROCESSED FILMS FOR MICROELECTRONICS STRUCTURES

Patent Number: WO9700535
Publication date: 1997-01-03
Inventor(s): FORESTER LYNN; KYU-CHOI DONG; HENDRICKS NEIL H
Applicant(s): ALLIED SIGNAL INC (US)
R requested Patent: ☐ WO9700535
Application Number: WO1996US08678 19960604
Priority Number(s): US19950000239P 19950615; US19960652893 19960523
IPC Classification: H01L21/316; H01L21/3105
EC Classification: H01L21/3105, H01L21/312B2
Equivalents: ☐ EP0834193 (WO9700535), JP11506872T
Cited Documents: US4222792; US4596720; EP0647965; EP0334051

Abstract

An improved method for producing substrates coated with dielectric films for use in microelectronic applications wherein the films are processed by exposing the coated substrate surfaces to a flux of electron beam. Substrates cured via electron beam exposure possess superior dielectric properties, density, uniformity, thermal stability, and oxygen stability.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平 1 1 - 5 0 6 8 7 2

(43) 公表日 平成11年(1999)6月15日

(51) Int. Cl.⁶H 0 1 L 21/316
21/027
21/316

識別記号

F I

H 0 1 L 21/316 G
P
21/30 5 4 1 Z

審査請求 有 予備審査請求 有 (全 5 1 頁)

(21) 出願番号 特願平9-503125
 (86) (22) 出願日 平成8年(1996)6月4日
 (85) 翻訳文提出日 平成9年(1997)12月15日
 (86) 国際出願番号 PCT/US96/08678
 (87) 国際公開番号 W097/00535
 (87) 国際公開日 平成9年(1997)1月3日
 (31) 優先権主張番号 60/000, 239
 (32) 優先日 1995年6月15日
 (33) 優先権主張国 米国 (U S)
 (31) 優先権主張番号 08/652, 893
 (32) 優先日 1996年5月23日
 (33) 優先権主張国 米国 (U S)

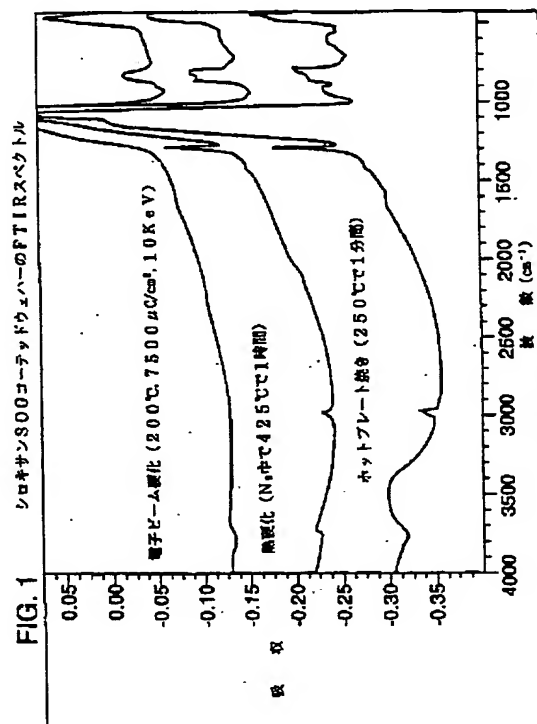
(71) 出願人 アライドシグナル・インコーポレーテッド
 アメリカ合衆国ニュージャージー州07962
 -2245, モーリスタウン, コロンビア・ロ
 ード 101, ピー・オー・ボックス 2245
 (72) 発明者 フォレスト・リン
 アメリカ合衆国カリフォルニア州95124,
 サン・ノゼ, グナー・ドライブ 2233
 (72) 発明者 ヘンドリックス, ニール・エイチ
 アメリカ合衆国カリフォルニア州95370-
 0379, ソノラ, ハビタット・トレイル 1
 6525
 (74) 代理人 弁理士 社本 一夫 (外5名)

最終頁に続く

(54) 【発明の名称】 マイクロエレクトロニクス構造体用電子ビーム加工膜

(57) 【要約】

マイクロエレクトロニクス用途に使用するための誘電膜でコートされた支持体を製造する方法であって、該コート支持体表面を電子ビームの束に曝すことにより該膜が加工される方法。電子ビーム暴露により硬化された支持体は、優れた誘電特性、密度、均一性、熱安定性、及び酸素安定性を有する。



【特許請求の範囲】

1. 支持体上に誘電性物質を硬化させる方法であって、
 - (a) 前記支持体の表面に誘電性物質を適用すること；及び
 - (b) 前記誘電性物質を、該誘電性物質を膜に硬化するのに十分な条件下で電子ビーム照射に曝すことを含む方法。
2. 前記誘電性物質が、シリケート、ホスホシリケート、シロキサン、ホスホシロキサン、又はそれらの混合物を含んでなる、請求項 2 の方法。
3. 前記誘電性物質が、前記電子ビーム照射への暴露の前に、シロキサンを含んでなり、該シロキサンが、約 1 ～約 1 0 の炭素原子を有するアルキル基、約 4 ～約 1 0 の炭素原子を有する芳香族基、約 4 ～約 1 0 の炭素原子を有する脂肪族基、又はそれらの混合物を含む有機基を、前記シロキサンの全重量を基準として約 2 ～約 9 0 % 有する、請求項 2 の方法。
4. 前記誘電性物質が約 2 5 ～約 4 0 0 ℃の温度で硬化される、請求項 1 の方法。
5. 前記誘電性物質が約 1 0 ～約 2 0 0 ミリトルの圧力で硬化される、請求項 1 の方法。
6. 前記支持体が、酸素、アルゴン、窒素、ヘリウム及びそれらの混合物からなる群から選択されるガスの存在下で電子ビーム照射に曝される、請求項 1 の方法。
7. 請求項 1 の膜の少なくとも 1 の層でコートされた支持体。
8. 請求項 7 の支持体を含むマイクロエレクトロニック装置。
9. 化学蒸着物質でコートされた支持体をアニーリングする方法であって、
 - (a) 該支持体の表面に化学蒸着物質を適用すること；及び
 - (b) 該化学蒸着物質を、該化学蒸着物質を膜にアニーリングするのに十分な条件下で電子ビーム照射に曝すことを含む方法。
- 1 0. 前記化学蒸着物質が、プラズマ促進テトラエチルオルトシリケート、シ

ラン基剤酸化物、ボロソーホスホシリケートガラス、ホスホシリケートガラス、窒化物、無水物膜、オキシ窒化物、テトラエチルオルトシランからのボロホスホガラス、又はそれらの混合物を含んでなる、請求項9の方法。

11. 前記化学蒸着物質が、前記支持体に、テトラエチルオルトシリケートと酸素の混合物、又は酸素、シラン及び場合によりジボランの混合物、ホスフィン、及び亜酸化窒素を含んでなるガスの存在下で適用される、請求項9の方法。

12. 請求項9の膜の少なくとも1の層でコートされた支持体。

13. 請求項12の支持体を含有するマイクロエレクトロニック装置。

14. 支持体上に超薄膜酸化物又は窒化物を生長させる方法であって、該支持体の表面を気体状態にある物質の存在下及び該物質をイオン化するのに十分な条件下で電子ビーム照射に曝して、該支持体の該表面上で酸化又は窒化反応を促進することを含む方法。

15. 前記支持体がガリウム砒素又はシリコンを含んでなる、請求項14の方法。

16. 前記物質が、酸素、アンモニア、窒素、亜酸化窒素、及びガスの形の反応生成物又はそれらの混合物、昇華した固体又は気化した液体を含んでなる、請求項14の方法。

17. 請求項14の膜の少なくとも1の層でコートされた支持体。

18. 請求項17の支持体を含有するマイクロエレクトロニック装置。

19. 前記支持体がシリコンウェハーである、請求項1の方法。

【発明の詳細な説明】**マイクロエレクトロニクス構造体用電子ビーム加工膜****関連出願への言及**

この出願は、1995年6月5日に出願された米国特許出願第60/000,239号の一部継続出願であり、該出願は、参照により本明細書中に組み入れられるものとする。

発明の背景**1. 発明の分野**

本発明は、集積回路（IC）のようなマイクロエレクトロニクス構造体用電子ビーム加工膜に関する。より特定的には、この発明は、そうした膜を加工する方法の改良法であって、そのうちの幾つかは低い誘電率と低い湿潤腐蝕速度しか有さない均一で密な膜をもたらす方法に関する。

2. 発明の背景

マルチチップモジュール、印刷回路板、高速論理装置、平面パネルディスプレイ、集積回路、及び他のマイクロエレクトロニクス装置のような種々の装置は、堆積された又はスピノン（spin-on）された誘電膜を必要とする。

そのような望ましい膜を支持体上に生成させるために広く用いられている1つの技術は、350～900℃の温度で約1時間熱アニーリング又は熱硬化することを包含する。AlliedSignal Inc. により出版された“Spin/Bake/Cure/Procedure for Spin-On-Glass Materials for Interlevel and Intermetal Dielectric Planarization”（1994）（熱で硬化されたスピノンされた膜）及び Kern, W., “Deposited Dielectrics for VLSI,” 8 (7) Semiconductor International 122 (July 1985) [Kern] ; Gorczyca, T.B. ら, “PECVD of Dielectrics,” 8 (4) VLSI Electronics Microstructure Science (New York 1984) [Gorczyca] ; 及び Mattson, B., “CVD Films for Interlayer Dielectrics,” Solid State Technology 60 (Jan. 1980) [Mattison] （熱でアニーリングされた化学蒸着（chemical vapor deposited, CVD）膜）を参照のこと。しかしながら、熱加工法には幾つかの

欠点が伴う。

スピノンガラス膜 (spin-on glass, SOG) を支持体上にスピノンする場合には、シロキサン型 SOG は酸素プラズマにより損傷を受け易い。続く IC 加工の間、酸素プラズマにより損傷を受けた SOG は水分のガスを発生しがちとなり、このことが電氣的及び機械的信頼性の欠如を招く。加えて、熱で硬化した SOG の酸素プラズマに対する不安定さは、離層のような製造上の困難性だけでなく、気孔度の増加、収縮率の増加、及び平坦性 (planarization) の乏しさのような最終製品における物理的、機械的及び外観的欠陥の原因ともなる。

第2に、シリケート SOG を硬化するのにそのような高温を使用すると、シリサイドの酸化又は劣化も起こる。これは、しばしば、シリサイドの劣化又はその先の IC の浅いドーパントプロファイルの劣化による装置の欠陥を招く。更に、この酸化された表面層の存在は、抵抗を増加させるか又はシリサイドに対する電氣的接触を無くしてしまうことにより並びにトランジスタ間の連絡の劣化の原因となることにより、その IC の全体的な電氣的性能を害する。

支持体を CVD 膜でコートする用途では、その CVD 膜の品質を向上させるために、約 1000℃ までの高温での追加のアニーリング工程も必要となる。しかしながら、これは、シリサイド劣化、高温キャリア劣化、装置の不安定さ等のような複雑さ及び装置の欠陥問題を招く。これら困難さは熱加工で観察されるものに類似しているが、その影響の大きさは、関与する温度が有意に高いのでより大きなものである。

支持体上に超薄ゲート酸化物及び窒化物を生長させるに際して、それらの生長の均一さを制御できないことが問題となっている。そのような酸化物を生長させる先行技術方法は、単一ウェハー急速熱加工システム (single wafer Rapid Thermal Processing systems, RTP) 又は、例えば、Sheets, R., "Rapid Thermal Processing Systems," Microelectronic Mfg. and Test, 16 (July 1985) に記載されている炉を用いる。しかしながら、ppb ほどの少ない量で汚染物質が存在するだけで、これら方法では生長の停止が起こるであろう。そのように均一な酸化物及び窒化物を生成させる能力がないことは、しばしば、その後の IC の作動中にその酸化物又は窒化物の燃焼を招き、かくしてその全体的信頼性に影響

を

及ぼす。

低い誘電率を有する誘電性物質を有することは、全ての進歩した I C にとって望ましい。一般に、C V D 膜は、それらを高いレベルのフッ素でドーピングしなければ低い誘電率を有さない。Takeshi, S. ら, “Stabilizing Dielectric Constants of Fluorine-Doped-Silicon Dioxide Films by N₂O-Plasma Annealing,” Dielectrics for VLSI/ULSI multilevel Interconnection Conference (DUMIC) (Feb. 1995) を参照のこと。しかしながら、そのようなフッ素でドーピングされた酸化物は、通常、不安定でありかつ湿った環境及び酸素プラズマ環境下で劣化し易い。

スピノンポリマー含有膜 (S O P) を用いることによって低い誘電率を得ることができるが、そのような膜は、それらの乏しい熱安定性、酸素プラズマに曝したときに劣化する傾向、及び I C において金属層堆積のために典型的に用いられる温度で分解する傾向に起因するプロセス集成が大きな問題となる。更には、熱で硬化された S O G について達成され得る最低の誘電率は、典型的には、約 3.8 ~ 4.1 に過ぎない。そのような誘電値は、装置寸法が小さくなるにつれてより重要となるキャパシタンスのような機械的及び電気的作用に関するより厳重な制御のために、次世代マイクロエレクトロニクス分野の末端用途には適していないといえる。

支持体上に低温で誘電膜コーティングを速やかに加工する改善された方法であって、熱に安定で酸素プラズマに非感受性である製品をもたらす方法を提供することが望ましいであろう。低い誘電率しか有さない均一で密な S O G 又は C V D 物質を提供することも望ましいであろう。更には、支持体上に超薄ゲート酸化物を均一に生長させることが望ましいであろう。

発明の要旨

この発明によれば、支持体上に誘電性物質を硬化させるに際しての改良法であって、

- (a) 該支持体の表面に誘電性物質を適用すること；及び
- (b) 前記誘電性物質を、該誘電性物質を硬化するのに十分な条件下で電子ビ

ーム照射に曝すこと；を含む方法が提供される。

この発明の他の側面によれば、化学蒸着物質でコートされた支持体をアニーリングするに際しての改良法であって、

(a) 該支持体の表面に化学蒸着物質を適用すること；及び

(b) 該化学蒸着物質を、該化学蒸着物質をアニーリングするのに十分な条件下で電子ビーム照射に曝すこと；を含む方法が提供される。

この発明の他の側面によれば、支持体上に超薄膜酸化物又は窒化物を生長させるに際しての改良法であって、

(a) 該支持体の表面を気体状態にある物質の存在下及び該物質をイオン化するのに十分な条件下で電子ビーム照射に曝して、該支持体の該表面上で酸化又は窒化反応を促進すること；を含む方法が提供される。

この発明の更なる他の側面によれば、上記の方法により生成する電子ビーム加工膜でコートされた支持体が提供される。

この発明の他の側面によれば、誘電膜及び化学蒸着膜コーテッド支持体における誘電率を低下させる方法であって、前記膜を、前記膜を加工するのに十分な条件下で電子ビーム照射に曝すことを含む方法が提供される。

この発明の他の側面によれば、化学蒸着コーティングからシリコン豊富膜を製造する方法であって、前記コーティングを前記膜を加工するのに十分な条件下で電子ビーム照射に曝すことを含む方法が提供される。

この発明の他の態様においては、電子ビーム加工膜でコートされた支持体を含有するマイクロエレクトロニック装置であって、前記電子ビーム加工膜の誘電率が約 3 未満である装置が提供される。

この発明の電子ビーム加工膜は、密で均一なコーティングを支持体上に有利に形成するだけでなく、電子ビーム硬化 SOG 膜は、高温で熱処理された類似の組成物について報告されたものよりも有意に低い誘電率をも有する。更には、そのような膜を加工するための時間及び温度が有意に低くされている。

図面の簡単な説明

以下の本発明の詳細な説明及び添付の図面を参照すれば、本発明がより十分に

理解され、そして更なる効果が明らかになるであろう。

図1は、ホットプレートで焼いたか、熱で硬化させたか又は電子ビームで硬化させたシロキサンSOGコーテッドウェハのフーリエ変換赤外 (F T I R) ス

ペクトルについての吸収 ν s 波数 (cm^{-1}) のグラフである。

図2 (a) 及び (b) は、種々のビーム線量及び硬化温度で電子ビームで硬化させたシロキサンSOGコーテッドウェハのF T I Rスペクトルについての吸収 ν s 波数 (cm^{-1}) のグラフである。

図3は、熱で及び電子ビームにより硬化させたシロキサンSOGコーテッドウェハについての膜収縮率 (%) ν s 電子ビーム線量 ($\mu\text{C}/\text{cm}^2$) のグラフである。

図4は、電子ビーム硬化シロキサンSOGコーテッドウェハについての膜収縮率 (%) ν s 電子ビームエネルギー (K e V) のグラフである。

図5は、熱硬化SOGコーテッドウェハ、熱酸化物ウェハ、及び電子ビーム硬化SOGコーテッドウェハについての電子ビーム線量 ($\mu\text{C}/\text{cm}^2$) を関数とする酸化物腐蝕緩衝液 (buffered oxide etch, B. O. E.) 50 : 1 中での湿潤腐蝕速度 ($\text{\AA}/\text{秒}$) のグラフである。

図6 (a) ~ (d) は、電子ビーム硬化SOGコーテッドウェハについての膜厚の深さ (\AA) を関数とするB. O. E. 50 : 1 中での湿潤腐蝕速度 ($\text{\AA}/\text{秒}$) のグラフである。

図7は、種々の度合いの電子ビームエネルギー (K e V) での電子ビーム硬化SOGコーテッドウェハについての膜厚の深さ (\AA) を関数とするB. O. E. 50 : 1 中での湿潤腐蝕速度 ($\text{\AA}/\text{秒}$) のグラフである。

図8は、種々の段階の加工が終了した後の電子ビーム硬化SOGコーテッドウェハのF T I Rスペクトルについての吸収 ν s 波数 (cm^{-1}) のグラフである。

図9は、両方とも硬化後周囲条件に曝した熱硬化SOG膜及び電子ビーム硬化SOG膜のF T I Rスペクトルについての吸収 ν s 波数 (cm^{-1}) グラフである。

図10(a)及び(b)は、それぞれ電子ビーム硬化後の、並びに電子ビームで硬化してから水中に浸漬した後の電子ビーム硬化SOGコーテッドウェハのFTIRスペクトルについての吸収 ν s 波数 (cm^{-1}) のグラフである。

図11は、種々の気体の存在下で電子ビームで硬化させた熟成膜についてのFTIRスペクトルについての吸収 ν s 波数 (cm^{-1}) グラフである。

図12は、テトラエチルオルトシリケート (TEOS) でキャップした電子ビーム硬化SOGを有するゲート酸化物のブレイクダウンまでの時間の累積確率 (QBD) ν s ブレイクダウンまでの時間 (秒) のグラフである。

図13は、前記酸化物の厚さを貫くNa、K、H、C、及びO不純物についての二次イオン質量分光分析法 (Secondary Ion Mass Spectroscopy, SIMS) 、深さプロファイル分析についての深さ (ミクロン) ν s 濃度 (原子/cc) のグラフである。

好ましい態様の説明

特に断らない限り、本明細書における全ての言及は重量で特定されるものとする。本明細書で用いる“線量”は、電子ビーム線の線量を意味する。

種々の物質を“スピニングオン”、CVD又は生長技術を介して本発明の支持体上に適用することができる。

支持体上にスピニングオンできる適する誘電性物質又はSOGには、シリケート、ホスホシリケート、シロキサン、ホスホシロキサン、及びそれらの混合物が含まれる。シロキサンが好ましい。より好ましいシロキサンは、式 SiO_x (式中、 x は1に等しいか又はそれより大きく2に等しいか又はそれより小さい) を有する非晶質の架橋したガラスタイプの物質であり、約1～約10の炭素原子を有するアルキル基、約4～約10の炭素原子を有する芳香族基、約4～約10の炭素原子を有する脂肪族基、及びそれらの混合物のような、そのシロキサン物質の全重量を基準として約2～約90%、好ましくは約10～約25%の有機基の“予備暴露含量”を有する。場合により、このシロキサン及びシリケート物質は、それら誘電性物質の全モル%を基準として、約0～約10%、好ましくは約2～約4%のリンを含有することができる。

この発明に使用するのに適する好ましいシロキサン物質は、商品名 Accuglass

®で AlliedSignal Inc. から市販されている。

適するシロキサン物質は、約 1 0 0 p p b 又はそれ未満、好ましくは 5 0 p p b 又はそれ未満、より好ましくは 1 0 p p b 又はそれ未満のナトリウム、カリウム、塩素、ニッケル、マグネシウム、クロム、銅、マンガン、鉄、カルシウム等の微量元素不純物を含有し、そして好ましくは約 3 0 0 ~ 約 5 0 , 0 0 0、より

好ましくは約 5 0 0 ~ 約 1 0 , 0 0 0 分子量単位の分子量を有する。

本誘電性物質は、慣用的なスピンコーティング、浸漬コーティング、噴霧、又は当該技術分野で周知のメニスカスコーティングにより支持体上に塗布することができる。そのような方法の詳細は、例えば、Integrated Technologies により出版された “Processing Equipment and Automated Systems” に記載されている。

支持体上の誘電膜の厚さは、その支持体に適用される S O G 液の量に依存して変動し得るが、典型的には約 5 0 0 ~ 約 2 0 0 0 0 Å、より好ましくは約 3 0 0 0 ~ 約 9 0 0 0 Å であることができる。支持体に適用される S O G 液の量は、約 1 ~ 約 1 0 m l、好ましくは約 2 ~ 約 8 m l で変動してもよい。

好ましい態様においては、シロキサン物質を支持体の中央に適用してから、その溶液を支持体表面に一様に広げるために、約 5 0 0 ~ 約 6 0 0 0 r p m、好ましくは約 1 5 0 0 ~ 約 4 0 0 0 r p m の速度で約 5 ~ 約 6 0 秒、好ましくは約 1 0 約 3 0 秒間スピンする。

C V D により支持体上に堆積されることができる適する物質には、プラズマ促進 (plasma-enhanced) テトラエチルオルトシリケート (P E T E O S)、シラン及びジシランのようなシラン基剤酸化物、ボロソーホスホシリケートガラス (B P S G)、ホスホシリケートガラス (P S G)、窒化ケイ素 (S i N) のような窒化物及びそれとの非理論量混合物、無水物膜；シラン (S i H₄)、アンモニア (N H₃)、窒素及び亜酸化窒素 (N₂O) 及びそれらの混合物と共に堆積されるもののようなオキシ窒化物；及びテトラエチルオルトシランからのボロホスホガラス (B P T E O S)、及びそれらの混合物が含まれる。シラン基剤酸化物

膜が好ましい。

CVD膜は、当該技術分野で周知の慣用的なCVD法によりガスの存在下で支持体に適用することができる。そのような方法の詳細は当該技術分野で周知であり、例えば、Gorczyca、Kern 及び Mattison に記載されている。なお、これは参照により本明細書中に組み入れられるものとする。CVD用に選択されるガスは、望まれる膜のタイプに依存するが、典型的には、そのようなガスには、TEOSと酸素の混合物、又は酸素、シラン及び場合によりジボラン (B_2H_6) の混合物、ホスフィン (PH_3)、及び亜酸化窒素 (N_2O) が含まれ、好ましくはTEOSである。

支持体の表面上に堆積されるCVDコーティングの量は所望の膜厚に比例しており、約1000～約30000 Å、好ましくは約3000～8000 Åの範囲であることができる。支持体上に適用されるCVDの量は、所望の膜厚に応じて変動してもよい。これら厚さを得るために要求されるガス流は Kern、Gorczyca、及び Mattison に記載されている。

典型的には、それらの表面上に回路パターンを有するシリコンウェハのようなウェハ又は他の平坦な支持体上にSOG又はCVD膜を適用し、そして超薄酸化物又は窒化物膜を生長させ、IC又は他のマイクロエレクトロニクス装置に加工する。典型的には、その支持体の直径は約2～約12インチであるが、本発明はもっと大きな支持体にも有効である。

場合により、予備硬化SOGコーテッド支持体を約50～約250℃の温度で約1～約3分間加熱してもよい。好ましい態様においては、予備硬化SOGをまず約50℃で約30秒～1分間加熱してから、約150℃で約30秒～1分間加熱し、そして約250℃で約30秒～1分間の3回目の加熱を行う。予備硬化液体SOG物質を部分的に架橋させて、そのような加熱の結果として固化させるのである。

SOGコーテッド支持体は、酸素、アルゴン、窒素、ヘリウム及びそれらの混合物、好ましくは、酸素、アルゴン、窒素及びそれらの混合物からなる群から選択されるガスの存在下で、その支持体の表面を電子の束に曝すことによって硬化

される。窒素ガスがより好ましい。

この電子ビーム暴露が行われる温度は、得られる膜に望まれる特性及び望まれる加工時間の長さに依存するであろう。当業者は、要求される結果を得るための暴露の条件を容易に最適化することができるが、温度は、一般に約 25 ～ 約 400℃ の範囲であろう。電子ビーム硬化中の圧力は、約 10 ～ 約 200 ミリトル、好ましくは約 10 ～ 約 40 ミリトルの範囲であろう。

電子ビーム暴露の時間は、支持体に適用される電流密度及びビーム線量に依存するであろう。当業者は、要求される結果を得るための暴露の条件を容易に最適化することができるが、暴露は、約 1000 ～ 約 50,000、好ましくは約 2

500 ～ 約 10,000 $\mu\text{C}/\text{cm}^2$ の電子ビーム線量の適用で、一般に約 2 ～ 約 45 分、好ましくは約 5 ～ 約 25 分の範囲であろう。電子ビームの加速電圧は約 1 ～ 約 25 KeV で変動してもよい。選択される線量及び加速電圧は、加工される膜の特性及び厚さに依存するであろう。

コーテッド SOG 支持体は、その中に置かれた支持体に電子ビーム照射を提供するための手段を有するあらゆるチャンバー内で電子ビームに曝されることができる。典型的には、そのチャンバーは、同時に電子ビーム暴露を行いながら、酸素、アルゴン、窒素、ヘリウム及びそれらの混合物、好ましくは、酸素、アルゴン及び窒素を含むガス性雰囲気内に電子を放出するための手段も備えている。

好ましい態様においては、コーテッド SOG 支持体は、カリフォルニア州サンディエゴの Electron Vision から “ElectronCure”TM という商品名で商業的に入手可能であるチャンバー内に入れられ、その作動及び性能の原理は、米国特許第 5,001,178 号に記載されている。なお、この特許は参照により本明細書中に組み入れられるものとする。このチャンバーは、有利なことに、約 4 ～ 約 144 平方インチの面積に作用することができる電子の “広くて大きなビーム” を提供する。

同じく、CVD コーテッド膜は、SOG コーテッド支持体を硬化するのに記載したのと同じ方法により及び同じ条件下でアニーリングされる。

超薄ゲート酸化物又は窒化物を支持体上で生長させる用途については、生長さ

れる膜のタイプは、支持体及び選択されるガス状態中で生長させられる物質の組成に依存する。ガリウム砒素 (GaAs) のような組成物又は結晶質シリコン、ポリシリコン、非晶質シリコン、又はエピタキシャルシリコン、好ましくはシリコンジオキシド (SiO_2) のようなシリコンを含有する組成物が適する支持体材料である。酸化物又は窒化物の生長は、酸素、アンモニア、窒素、亜酸化窒素、及びガスの形の反応生成物及びそれらの混合物、昇華した固体又は気化した液体の存在下で起こる。酸素が好ましい。

本発明によれば、ガスの存在下で電子ビームに曝される時間、同時に酸化物又は窒化物超薄膜層が支持体上で生長する。電子ビーム暴露の時間は、ガスがイオン化して支持体の表面上に存在する化合物と反応できる十分な時間である。生長

した膜の厚さは、約 10 ～ 約 1000 Å、好ましくは約 50 ～ 約 80 Å の範囲であることができる。また、そのような酸化物又は窒化物の超薄膜層を生長させるための方法及び条件は、SOG コーテッド支持体を硬化するのに記載したものと類似している。結果として、支持体上に生長する超薄酸化物又は窒化物膜の組成と厚さのいずれの均一さも向上する。

本発明によりコーテッド支持体を電子ビーム照射に曝す結果として、その上に生成する膜は、意外にも、新規で独特な化学的形態に修飾される。例えば“FTIR”分析で、SOG 出発化合物の主鎖に結合した CH 基が、電子ビームでそれらを硬化した後には既になくなっていることが示される。しかしながら、二次イオン質量分光分析法 (SIMS) は、その膜内に炭素が残っていることを証明している。硬化されたコーティング又は膜の 0.05 ～ 0.3 ミクロンの表層内に酸化された炭素を有する熱硬化コーティングと比較して、本発明の硬化シロキサン SOG 及び炭素含有 SOP コーティング内の炭素は、その膜全体に均一に分布している。

本発明により加工された膜でコートされた支持体は、マイクロエレクトロニクス二次加工品中のあらゆる誘電性の平坦化用途に用いることができる。本発明により加工された SOG コーティングの注目すべき一つの特性は、追加のポリマーをそれらに付加しなくても、それらが優れた誘電特性を示すことである。本発明

に従って硬化された S O G 又は S O P コーティングの誘電特性は、約 2.5 ～ 約 3.3、好ましくは約 2.9 ～ 約 3.0 は範囲であった。

本発明により加工された膜の注目すべきもう一つの特性は、電子ビーム加工の工程の結果として、それらの密度が有意に高まることである。加えて、かく加工された膜コーティングは、熱酸化物について記録されたものに匹敵する酸化物腐蝕緩衝液 “B O E” 5 0 : 1 中での湿潤腐蝕速度しか有さないだけでなく、それら膜は酸素プラズマに対して抵抗性でもあり、良好な均一性で化学的及び機械的に研磨することができ、そして典型的な W プラグ加工に付随する温度バジェット (temperature budget) に持ち堪えることができる。より特定的には、本発明により硬化れた後に窒素に 4 2 5 °C で 1 時間曝されたシロキサンコーティングは 4 % しか収縮せず、そしてその膜を 7 0 0 °C で 1 時間まで曝しても更なる収縮が起こらない。

堆積酸化物については、本発明は、高温アニーリングを用いることなしに密な膜を形成する手段を提供する。より特定的には、P E T E O S を含んでなる C V D 膜を本発明の方法によりアニーリングする結果として、膜堆積又は熱アニーリング中にガスの割合を変化させるなどの当該技術分野で公知の他の手段によっては得ることができない “シリコン豊富” 膜ができることが、屈折率分析で明らかになっている。そのような “シリコン豊富” 膜はフィールドインバージョン (field inversion) 及び熱電子劣化 (hot electron degradation) 作用を阻止することが知られているので、このことは特に有益である。

更には、本発明の加工が起こる温度が先行技術の熱硬化法又はアニーリング法で用いられる温度よりも有意に低いだけでなく、そのような膜を硬化又はアニーリングする時間も有意に短い。

この発明の使用は、支持体に向した超薄膜酸化物又は窒化物コーティングをもたらし、それによって、そのような酸化物又は窒化物の生長を制御することができる。

本発明は、1) 使い捨て後加工 (disposable post processing) ; 2) 慣用的蝕刻接触加工 (conventionally-etched contact processing) ; 及び 3) 金属間

誘電加工 (inter-metal dielectric processing) のような幾つかの公知の方法に組み込むことができる。

以下の非限定的な実施例は、向上した特性を有する膜をコーテッド支持体上に形成するために、そのコーテッド支持体を電子ビームに曝すことの効果を示すものである。

以下の実施例で生成する膜は、以下の試験法に従って分析された。

1) 膜厚 : Nanometrics, Co. から入手可能な較正された Nanospec® AFT モデル 010-180 コンピューター制御膜厚測定システムを用いて、約 480 ~ 790 nm の波長をウェハーを貫いて走査させ、そしてその内部コンピューターによりオングストローム (Å) に変換した。ウェハー上の異なる 5 箇所について測定値を得てから、これら 5 測定値の平均値を出した。

2) 膜収縮率 (%) : この値は、膜厚の項に記載した操作に従って得られた厚さ測定値及び種々の加工工程後に記録された厚さ測定値の比から得られる。

3) 湿潤腐蝕速度測定 : この試験を行うための詳細は、AlliedSignal Inc., Advanced Microelectronic Materials Division による報文 “Relative Etch Rate Determination” (November 30, 1995) に記載されている。

4) 誘電率 : SOG 膜の誘電率は、他のあらゆる誘電薄膜について用いられる金属酸化物半導体 (MOS) コンデンサー構造体を用いる標準キャパシタンスー電圧 (CV) 曲線法 (standard capacitance-voltage curve technique) により測定される。誘電率は、この CV 曲線、測定される膜の厚さ、及びコンデンサープレート (A1 ドット) 面積から誘導される C (最大) / C (酸化物) から計算される。

感受性多周波数 (10 KHz ~ 10 MHz) 誘導キャパシタンス及び抵抗 (LCA) メーター (sensitive multifrequency Induction Capacitance and Resistance meter)、電流及び電圧源、ランプ発生器、及びピコアンメーターから主としてなる Hewlett Packard Model 4061A 半導体測定システムを用いて、誘電膜の CV 曲線を測定した。その測定、計算、及びプロッティイングファンクションは、IEEE-488 標準界面母線 (standard interface bus) を介する公共 Hewlett

t Packard マイクロコンピュータにより行われる。支持体は、金属製の暗い箱の中に入れられたマニュアルプローブステーション上でプローブされる。この操作の更なる詳細は、AlliedSignal Inc., Advanced Microelectronic Materials Division による報文 “SOG Dielectric Constant Theory” (January 3, 1195) に記載されている。

5) 屈折率：この値は、Rudolph Research から入手可能な較正された AutoEL II® Revision 307 楕円偏光測定器を用いて測定される。較正及び測定操作は、AlliedSignal Inc., Advanced Microelectronic Materials Division による報文 “AutoEL II Revision 307 Ellipsometer Calibration and Maintenance” (June 5, 1995) に記載されている。

6) フーリエ変換赤外スペクトル分析：フーリエ変換赤外スペクトル分析は、分子内の原子の振動を明らかにする。一定の基の原子は、異なる化合物を表わす特徴的な振動周波数を有している。幾つかのオルガノシリコン基の赤外バンド特

性の周波数位置のような詳細は、例えば、Launer, “Infrared Analysis of Organosilicon Compounds: Spectra-structure Correlations”, (Burnt Hills, New York, 1990) に記載されている。

7) 接触抵抗：接触抵抗操作は、Loh, W.M. ら, “Modeling and Measurement of Contact Resistances” IEEE Transactions Electron Devices 512 (March 1987) に記載されている。

8) 装置電圧及びフィールドスレスホールド電圧 (field threshold voltage) 及びトランジスタ電圧 (V_t) : これら電圧測定値及び実施例で用いるものに類似する測定値を得るための方法は、Andoh, T. ら, “Design Methodology for Low Voltage MOSFETS” Int’l. Electron Device Meeting (Dec. 1994) に記載されている。

9) ブレークダウンまでの時間 (QBD) : この操作は、Grove, Physics & Technology of Semiconductor Devices, Section 10.5 (New York 1967) ; Chen, K.L. ら, Tech. Digest IEDM 484 (1986) ; 及び Rountree, R.N., Tech. Digest IEDM 580 (1988) に記載されている。

10) 路 (via) 抵抗 : 路抵抗は、VLSI/ULSI Multilevel Interconnection Conference (Feb. 1995) のための “Pre-sputter Degassing Treatment in Via Contact for Via Reliability Enhancement in Spin-On Glass Planarization Process” に記載されている方法を用いて測定した。

11) 抵抗及びシリサイド抵抗 : シリサイド抵抗は、Shimizu, S. ら, “0.15 μ m CMOS Process for High Performance and High Reliability,” Intermetal Electron Device Meeting (Dec. 1994) に記載された方法を用いて測定した。

12) 二次イオン質量分光分析法 (SIMS) : SIMS分析は、SOG膜中の微量元素の存在を測定するために用いた。まず、SOG膜をppb検出限界を有するカメラSIMS装置を用いて測定した。抵抗アノードエンコーダー (RAE) イオンイメージング検出器の使用で、該カメラ装置からの入力を受けて、微量イオン元素濃度のようなデータを時間に対応させ、それを膜表面上のあらゆる元素の直接イオンマップを生じさせるのに用い、そして膜の深さの関数としてその元素の側面分布に変換する。

このSIMS分析は、膜を6KeVのネット衝撃エネルギーで酸素及びセシウム一次イオンボンバードに曝して、陽及び陰の両方の二次イオン質量分光分析値を得る PHI-6600 4重極子質量分析計を用いて行った。分析条件を表1に示す。

表 1

| 一次イオンビーム | 酸 素 | セシウム |
|------------|-----------------------|-----------------------|
| 一次ビームエネルギー | 6 KeV | 6 KeV |
| ビーム電流 | 50 nA | 20 nA |
| ラスターサイズ | 150×150 μm | 150×150 μm |
| 分析した面積 | 45×45 μm | 45×45 μm |
| 二次イオン極性 | + | - |
| 電荷中性化 | オン | オン |
| 質量分解能 | 300 | 300 |

これらデータを濃度（元素／ cm^3 ） v s 分析物の深さとしてプロットした。二次イオン計数から濃度への変換は、 SiO_2 における既知線量のイオン打ち込み標準の分析から誘導される相対感度因子（RSF）に基づく。この分析物の二次イオン計数は、酸化物を貫く平均マトリックス ^{30}Si シグナルに比例させて出した。分析の再現性は、典型的には、 1×10^3 を越えるイオン計数レートで $\pm 10\%$ 未満である。スパッター深さは、Tencor P-10 表面プロファイラーを用いてクレーターの深さを測定することにより校正した。この方法の更なる委細は、Charles Evans and Associates (October 1993) に更に記載されている。

実施例

実施例1：SOGコーテッド支持体の調製

6インチの直径を有するシリコンウェハーを、商品名 Accuglass® 311 で AlliedSignal Inc. から入手可能なシロキサンSOGで、約3～約4mlのSOGをそのウェハーの表面に吐出し、次いで Dai Nippon Screen, Inc. から入手可能なSOGコータートラックで約350rpmで2秒間、 72°F 、20～30mmHg、及び40%のスピнкаップ湿度でスピノンすることによりコートした。コートしたウェハーを更に約3000rpmで20秒間同様な条件下でスピ

した後、そのウェハーを DNS SOGコータートラック内のホットプレート上で 80℃、120℃及び175℃でそれぞれ120秒の3間隔で連続加熱した。

実施例2：SOGコーテッドウェハーの熱硬化（比較例）

次いで、実施例1に従って作ったウェハーを MRL Industries から入手可能な Black-Max 型の炉で 425℃及び窒素存在下1気圧で1時間硬化した。

得られたコーテッドウェハーの分析で、膜厚（硬化後）が 3000 Å、膜収縮率が 7%、及び湿潤腐蝕速度が約 37 Å/秒であることが示された。

実施例3：SOGコーテッドウェハーの電子ビーム硬化

実施例1に従って作ったウェハーを Electron Vision から “ElectronCure”TM という商品名で入手可能なチャンバー内に入れて、8～20mAの電流、1000～10000 μC/cm²の線量及び5～25KeVの加速電圧を有する電子ビームに、それぞれ、窒素、酸素、アルゴン、及び水素を含む種々のガスの存在下で、25～400℃の温度及び10～40ミリの圧力で曝した。

電子ビーム硬化SOGコーテッドウェハーの分析で、選択される線量、エネルギー及び温度に依存して、膜収縮率が10～30%であり、50：1（脱イオン水：フッ化水素（HF））溶液の酸化物腐蝕緩衝液中での湿潤腐蝕速度が1～11 Å/秒であることが示された。

図1は、実施例2に従って熱硬化させたウェハー、実施例3に従って電子ビーム硬化させたウェハー、及び硬化させなかった、即ち実施例1に従ってホットプレートで焼いたウェハーについてのFTIRスペクトルを示している。図1のFTIRスペクトル中にCH伸縮様式を示す吸収増加がないこと及び図13のSIMSスペクトル中に炭素ピークにより示される炭素の均一な分布により明らかに、電気ビーム加工に曝した後の膜の組成は変化しており、そして水はその中に吸収されなかったことが分かる。

実施例4：種々の温度及び電子ビーム線量で硬化されたウェハー

実施例1に従ってウェハーを作り、そして、各ウェハーを、1000、3000、5000又は1000 μC/cm²の4線量のうちの1線量に10KeV

のエネルギーで25℃、250℃又は400℃のいずれかの温度でアルゴンガス

の存在下で曝した以外は、実施例3に従って硬化させた。

図2(a)及び2(b)は、実施例4に従って作られた各々のウェハーのFTIRスペクトルを示している。図2(a)における 3600 と 3700 cm^{-1} の間の吸収の増加により明らかなように、上記3種のどの温度で 1000 及び $3000\text{ }\mu\text{C}/\text{cm}^2$ に曝したウェハーも、ヒドロキシル基の伸縮を示した。これは、膜内に残留水が存在することを示している。しかしながら、電子ビーム線量を $5000\text{ }\mu\text{C}/\text{cm}^2$ に等しくするか又はそれより大きくすることにより、図2(b)に示されるように、膜内の水は大きく減少するか又は完全に排除される。

実施例5：種々の線量、エネルギー及び温度で

電子ビーム硬化されたウェハー及び熱硬化ウェハーについての膜収縮率の比較

実施例1及び3に従ってウェハーを作って硬化し、次いで、焼いた後及び電子ビーム硬化した後の膜厚を測定することにより、膜収縮率について分析した。

図3は、 25°C 、 250°C 及び 400°C の温度での電子ビーム線量を関数とする膜収縮率を、熱硬化膜の膜収縮率と比較しながら示している。図4は、膜収縮率 v s 電子ビームエネルギーを示している。図3及び4から、電子ビーム硬化膜の膜収縮率は、概して、熱硬化膜の膜収縮率よりも大きいことが明らかである。更に、線量が増加するにつれて、電子ビーム硬化膜についての膜収縮率も増加する。加えて、膜収縮率への温度の影響が、低電子ビーム線量で硬化した膜についてだけ認められた。しかしながら、膜収縮率は、 $10000\text{ }\mu\text{C}/\text{cm}^2$ を越える線量及び 400°C を上回る温度での電子ビーム照射における変動に対して比較的非感受性であった。

実施例6：種々の線量及び温度でSOGが電子ビーム硬化されたウェハー、熱酸化物ウェハー、及び熱硬化SOGウェハーについての湿潤腐蝕速度の比較

実施例1及び3に従ってウェハーを作って硬化し、次いで、湿潤腐蝕速度について分析した。

未コーテッドウェハーに関しては、熱酸化物膜を実施例2で言及したような拡散炉内で、約 1050°C の温度及び大気圧下、4リッター/分の気流の酸素の存在下で生長させた。

50 : 1 溶液の酸化物腐蝕緩衝液中での種々の膜の湿潤腐蝕速度を、その膜の湿潤腐蝕速度に依存してその溶液中に 1 ～ 5 分間浸漬した後の残存膜厚を測定することにより測定した。

図 5 は、電子ビーム硬化ウェハーについての湿潤腐蝕速度 v_s 線量に加えて熱硬化ウェハー及び熱酸化物ウェハーについての湿潤腐蝕速度を示している。図 5 から、電子ビームで硬化した SOG コーテッドウェハーの湿潤腐蝕速度は 3 ～ 5 Å/秒の範囲内であることが分かる。これは、熱酸化物ウェハーについて測定された 3 Å/秒の腐蝕速度に非常に近いが、熱硬化 SOG ウェハーについて測定された 37 Å/秒の腐蝕速度よりかなり低い。この SOG コーテッドウェハーにより示される低腐蝕速度は、そのような SOG 膜は、熱的に生長させた酸化物膜に比べてより密であることを示している。

図 6 (a) ～ (d) は、それぞれ 1000、3000、5000 及び 10000 $\mu\text{C}/\text{cm}^2$ の線量で電子ビーム硬化した膜についての膜厚の深さでの湿潤腐蝕速度の変化を示している。図 6 (a) 及び (b) から、25 ～ 400 °C の温度条件及び 1000 $\mu\text{C}/\text{cm}^2$ の線量で硬化させた膜について並びに 25 °C の温度及び 3000 $\mu\text{C}/\text{cm}^2$ の線量で硬化させた膜についての湿潤腐蝕速度は、膜の厚さ全体にわたって比較的一定であることが分かる。湿潤腐蝕速度値におけるこの一致性は、上記の電子ビーム加工条件を用いて高度に均一な密度を有する膜を作ることが可能であることを示している。

図 6 (b) ～ (d) に示すように、250 ～ 400 °C の温度及び 3000 $\mu\text{C}/\text{cm}^2$ の線量で硬化させた膜について並びにあらゆる温度及び 5000 $\mu\text{C}/\text{cm}^2$ に等しいか又はそれより高い線量で硬化させた膜について、湿潤腐蝕速度は、約 1500 Å までの膜厚の増加と共に増加してから比較的一定値を維持した。

同じく、図 7 は、400 °C の温度、5 ～ 25 KeV の電子ビームエネルギー、及び 1000 $\mu\text{C}/\text{cm}^2$ の線量で硬化させた膜についての湿潤腐蝕速度も比較的一定であることを示している。

実施例 7 : 化学的・機械的研磨後に酸素プラズマ灰磨きに付された電子ビーム硬化ウェハーについての FTIR 結果

実施例 1 及び 3 に記載した方法に従ってコーテッドウェハーを作って硬化し、

実施例 1 3 に記載した方法に従って研磨して HF で清浄にしてから、酸素プラズマで灰磨き (ashing) した。酸素プラズマ灰磨きの詳細は、例えば、C. K. Wang ら, “A Study of Plasma Treatments on Siloxane SOG”, VIMIC Conference (June 1994) に記載されている。

図 8 は、硬化の種々の段階：即ち、(1) $10000 \mu\text{C}/\text{cm}^2$ の線量及び 200°C の温度で電子ビーム照射で硬化させた後；(2) 段階 (1) で硬化させた膜を化学的・機械的研磨 (CMP) に付してから HF 溶液中で湿潤清浄化して酸素プラズマで灰磨きした後；(3) 段階 (2) の後に周囲条件に 3 日間曝した後；及び (4) 段階 (3) の周囲暴露後に段階 (1) の条件下で電子ビーム照射に曝した後におけるこれら膜の FTIR スペクトルを示している。

図 8 は、 $3600 \sim 3700 \text{ cm}^{-1}$ の波長において吸収が増加していることを示している。これは、膜内のヒドロキシル伸縮、つまり膜水分吸収の増加を示唆するものである。このヒドロキシル基伸縮は、CMP 及び段階 (2) の清浄化工程の後に特に明らかである。しかしながら、この水分は、図 8 に見られるように、膜を電子ビーム加工に曝すことにより除去することができた。

実施例 8：周囲環境及び場合により水中に

浸漬した後の電子ビーム硬化膜についての FTIR 結果

実施例 1、2 及び 3 に記載した方法に従ってウェハーを作って硬化した後、FTIR 分析を行った。

図 9 は、窒素の存在下で 425°C の温度で 1 時間熱硬化したウェハーについての FTIR スペクトルを、 $10000 \mu\text{C}/\text{cm}^2$ の線量及び 200°C の温度で電子ビーム照射で硬化させて周囲水分条件下に 7 日間曝したウェハーの FTIR スペクトルと比較するものである。電子ビーム硬化ウェハーについて $3600 \sim 3700 \text{ cm}^{-1}$ の波長における吸収増加が存在しないことが、それらが、熱硬化膜とは対照的に、水分を吸収しないことを示している。

図 10 (a) 及び (b) は、 25°C の温度を有する水中に 24 時間浸漬する前及び浸漬した後に、アルゴンガスの存在下で $10000 \mu\text{C}/\text{cm}^2$ の線量及び

400℃の温度で、種々のエネルギーレベルで、電子ビーム照射で硬化させた膜についてのFTIRスペクトルを比較するものである。水中に浸漬する前及び浸

漬した後のFTIRスペクトルに見て分かるほどの差がないことが、電子ビーム硬化膜は水中に24時間浸漬しても水分を吸収しなかったことを示している。

実施例9：窒素、アルゴン、ヘリウム、及び酸素

環境下で電子ビーム硬化した膜についてのFTIR結果

それぞれ窒素、アルゴン、ヘリウム、及び酸素の存在下で10000 $\mu\text{C}/\text{cm}^2$ の線量及び200℃の温度で、膜を電子ビームエネルギーに曝した以外は、実施例1、2及び3に記載した方法に従ってウェハーを作って硬化させた。これらウェハーを周囲水分条件に7日間曝すことにより熟成させた後、FTIR分析を行った。

図11は、ヘリウムを除く全てのガスについて、3600～3700 cm^{-1} の波長における吸収がほんの僅かしか増加していないことを示している。かくして、その後の水分の吸収に感受性となることなく、窒素、アルゴン、及び酸素の存在下で膜を硬化させることができることが明らかである。

実施例10：電子ビーム硬化ウェハーの化学的・機械的研磨

実施例4に記載した方法に従ってウェハーを作って硬化してから、実施例7及び13に記載した方法に従って研磨して清浄にした。研磨後の清浄化の間に、HFでの短時間酸化物蝕刻で膜表面から汚染物質を除去した。このHF浸漬は、典型的には、滑らかにするためにはキャップ堆積を必要とするところのプラズマTEOS中の低密度の溝を加飾する。

CMP加工膜の厚さ測定で、電子ビーム硬化シロキサン物質は、ドーブされていないTEOSの研磨率と類似する十分に制御された研磨率を有したこと、及び研磨後清浄化された膜中にいかなる高腐蝕速度域も示さなかったことが証明された。

実施例11：使い捨て後装置ウェハー

Cypress Semiconductor Inc. から入手可能な0.5 μm CMOS SRAM使い捨て後加工装置ウェハー (disposable post device wafer) を実施例1に記載し

た方法に従って2回コートしてから、150、250又は300℃のいずれかの温度及び5000、7500及び10,000 $\mu\text{C}/\text{cm}^2$ の線量で、実施例4に記載した操作に従って硬化した。使い捨て後加工の一般的詳細は、例えば、Cl

eeves, M. ら, “IEEE Symposium on VLSI Technology Digest of Technical Papers, 61 (1994) に記載されている。

ウェハー上に得られた“二重コート”の厚さは約6500 Åであった。得られたウェハーを実施例7及び13に記載した通りに灰磨きにより研磨及び加工してからHFで清浄にした後、そのウェハーの研磨されたSOG表面上にTi-TiW接着剤層を直接堆積させた。その後、そのウェハーを600℃急速熱アニーリング(RTA)に1分間曝した後に、450℃でタングステン化学蒸着(CVDW)した。得られたウェハーに膜の浮きもガス発生も認められなかった。

この電子ビーム硬化“二重コーテッド”膜を425～700℃の温度に設定された炉内で30分間焼いた。425℃の温度で焼かれた膜の膜収縮率分析で、急速熱アニーリング後に直接測定した厚さを基準として、厚さが4%収縮したことが示された。700℃までの温度では追加の収縮は起こらなかった。従って、実施例11から、膜収縮の量が温度に依存していないことが明らかである。更には、得られたウェハーには亀裂がなく十分に平坦であった。

実施例 1 2 : 蝕刻接触装置ウェハー

0.5 μm CMOS SRAM慣用的蝕刻接触装置ウェハー (etched contact device wafer) を作り、単コーテッドウェハー及び二重コーテッドウェハーの両方を調製した以外は、実施例11に記載した操作に従って、硬化させ、研磨し、清浄にした。これら装置の二次加工に要求される全ての工程の間に膜の浮きもガス発生も認められなかった。

実施例 1 3 : 金属上への直接CMPウェハー

Accuglass® 311 SOGの2層のコートを金属1、即ちアルミニウムでパターン化されたシリコンウェハー上に直接堆積させて、実施例4に記載した条件に従って電子ビームで硬化させた。得られたSOG層の上に9,000 ÅのTEOSをCVDのやり方で堆積させてから、Rodel から入手可能な IC 1000/SUBA 4研

磨パッドを備えたIpec Westech 研磨機を用いて、次の条件下で研磨した：7 p s i のウェハー圧力；110° F のウェハーの研磨温度；Ripsey から入手可能な130 ml / 分で流れる SC 112 スラリー；28 のプラテン（保持パッド）rpm；28 のキャリヤ（保持ウェハー）rpm；185 mm の研磨位置；及び2 m

m / 秒のスピードでの5 mm のプラテン振動。ウェハーを研磨してHF で清浄にしてから、酸素プラズマで灰磨きした。SOG 層とTEOS 層の間には接着上の問題も他の望ましくない相互作用も見られなかった。

その後、SOG 層とTEOS 層の間の界面を研磨応力に曝すために、この実施例で作ったウェハーを類似の条件下で研磨した。離層や他の異常は認められなかった。

実施例14：露出した界面を有する金属上への種々の数のSOG層

ウェハー上の1層、2層又は3層いずれかのSOGのコートを用いて実施例13を繰り返した。これらウェハーも、SOG層の亀裂なしに優れた平坦性を示した。

実施例15：TEOSでキャップされた

種々の数のSOG層が積層されたウェハー

TEOSでキャップしたウェハーを、活性な装置上に約12,000 Å のドーパされたTEOS酸化物誘電体を用い、5000及び10000 $\mu\text{C}/\text{cm}^2$ の線量並びに9及び15 KeV のエネルギーを用いた以外は、実施例13及び14に記載した方法に従って作った。ウェハーの表面に電子を到達させるのに要求されるエネルギーは、約12 KeV と見積もられた。かくして、これら選ばれた電子ビームエネルギー値は、電子にTEOS膜の表面を越えさせてシリコンウェハー自体の中に入らせると考えられた。

次いで、それら硬化させたウェハーを実施例11に記載した接触蝕刻 (contact etch) 工程、接触充填 (contact fill) (Wプラグ) 工程及び局所的相互連絡形成 (local interconnect formation) 工程により加工し、装置電圧及びフィールドストレスホールド電圧及びゲート酸化物のQBDについて試験した。これら試

験の詳細は、Wolf, “The Submicron MOSFET”, 3 Silicon Processing for the VLSI Era (1995) に記載されている。フィールドスレスホールド試験の結果は、 n -チャンネルトランジスタの電圧 (V_t) にシフトを示さなかったが、 p -チャンネルトランジスタの V_t に小さなシフトを示した。しかしながら、 15 KeV という高いエネルギーでの p -チャンネル装置の V_t のこの 30 mV シフトは、 V_t 変動について許容される範囲、即ち約 150 mV までに比べて依然と

して小さい。 15000 KeV の電子ビームエネルギーでの $10000\text{ }\mu\text{C}/\text{cm}^2$ を越える線量の増加は、QBDの体系的劣化をもたらした。これは、そのような高いレベルの電子ビーム暴露の間にゲート酸化物が損傷を受けるようになることを示唆している。

実施例16：ポリシリコン上の誘電体

として膜を取り込むSRAM試験構造体の特性

Accuglass® SOG膜の“二重コート”を、実施例3に記載した操作に従って及び 200°C 、 10 KeV 及び $10000\text{ }\mu\text{C}/\text{cm}^2$ の条件下で、 $0.5\text{ }\mu\text{m}$ ポリシリコンコーテッド静的ランダムアクセスメモリー (Static Random Access Memory) (SRAM) 試験構造体上に作って硬化させた。次いで、実施例12のアプローチに基づく慣用的な蝕刻又は実施例11の使い捨て後加工のいずれかにより、この硬化SOGコーテッド構造体内に $0.6\text{ }\mu\text{m}$ 接触を作った。

使い捨て後加工構造体においては、SOG特性を、これら接触の形成後であるが接触金属化の前に、異なるアニーリング温度、即ち 425°C 、 600°C 及び 700°C において評価した。シリサイド抵抗は、その低い熱的バジェットの故にSOGプロセスにより影響を受けなかった。

慣用的な蝕刻法により路 (via) を形成するために、実施例13及び14に記載した通りに、そのSOG層を $9000\text{ }\text{\AA}$ のTEOS SiO_2 によりキャップしてから、実施例13に記載した方法に従って研磨した。 0.7 の路をこの誘電体中に蝕刻した。路の充填 (via filling) は、例えば、H. Kojima ら, “Planarization Process Using a Multi-Coating of Spin-On-Glass” VLSI, (June 1988)

に記載されたブラケットW及び蝕刻戻し加工 (etchback processing) で行った。

蝕刻接触を含有する構造体の、例えば、Anner, "Planar Processing Primer" 79-90 (1990) に記載された電気抵抗試験で、電子ビーム硬化SOG層の接触抵抗は、ドーブされて再流化されたTEOS SiO₂誘電層 (doped reflowed TEOS SiO₂ dielectric layer) の接触抵抗よりも高いことが示された。これは、下層にある酸化物から殆どのTiSi₂を蝕刻し出してしまった接触蝕刻における過剰蝕刻に起因するようである。

図12に示すように、ゲート酸化物のQBDは、蝕刻接触を有するドーブされて再流化されたTEOS SiO₂のQBDと等しい。これは、薄いSOG層を有するウェハーについての電子ビーム加工の間の酸化物の損傷がTEOS SiO₂酸化物を有するウェハーについてのものよりも少なかったことを示唆している。これら電氣的結果を表2に纏めた。

表 2

| 接触スキーム | 接触抵抗(Ω-cm) | | | | 自己整列接触漏れ | シリサイド抵抗 | シリサイドP ⁺ -N ⁺ ストラップ抵抗 |
|-------------------------|--------------------|--------------------|-----------------------|-----------------------|----------|---------|---|
| | N ⁺ に特有 | P ⁺ に特有 | 自己整列(P ⁺) | 自己整列(N ⁺) | | | |
| SOG (425℃アニーリング)での後スキーム | 38 | 36 | 42 | 48 | パス | 16 | 170 |
| SOG (600℃アニーリング)での後スキーム | 39 | オープン | 開 | 61 | パス | 19 | 270 |
| SOG (700℃アニーリング)での後スキーム | 37 | 35 | 45 | 50 | パス | 22 | 205 |
| SOG での蝕刻スキーム | 32 | 31 | NA | NA | NA | 30 | 180 |
| 対照 | 25 | 25 | 68 | 58 | パス | 135 | >5000 |

自己整列接触漏れ (self-aligned contact leakage)

実施例17：ポリレベル誘電体のための電子ビーム加工CVD TEOS

1000～8000 Å、好ましくは約1500～約3000 Åの厚さを有するTEOS膜の層を、約350～約450℃の温度及び約7～9トルの圧力でCVDによりポリシリコンウェハー上に堆積させる。次いで、そのTEOS膜を、Electron Vision, Inc. から入手可能な ElectronCure™装置内で、約5000～約10000 $\mu\text{C}/\text{cm}^2$ の線量及び約5～約15 KeVのエネルギーの電子ビーム照射の束に、約200～約250℃及び約10～約40ミリの圧力下、窒素又はアルゴンの存在下で約10分間曝す。得られる膜はシリコン豊富で密なTEOS酸化物である。

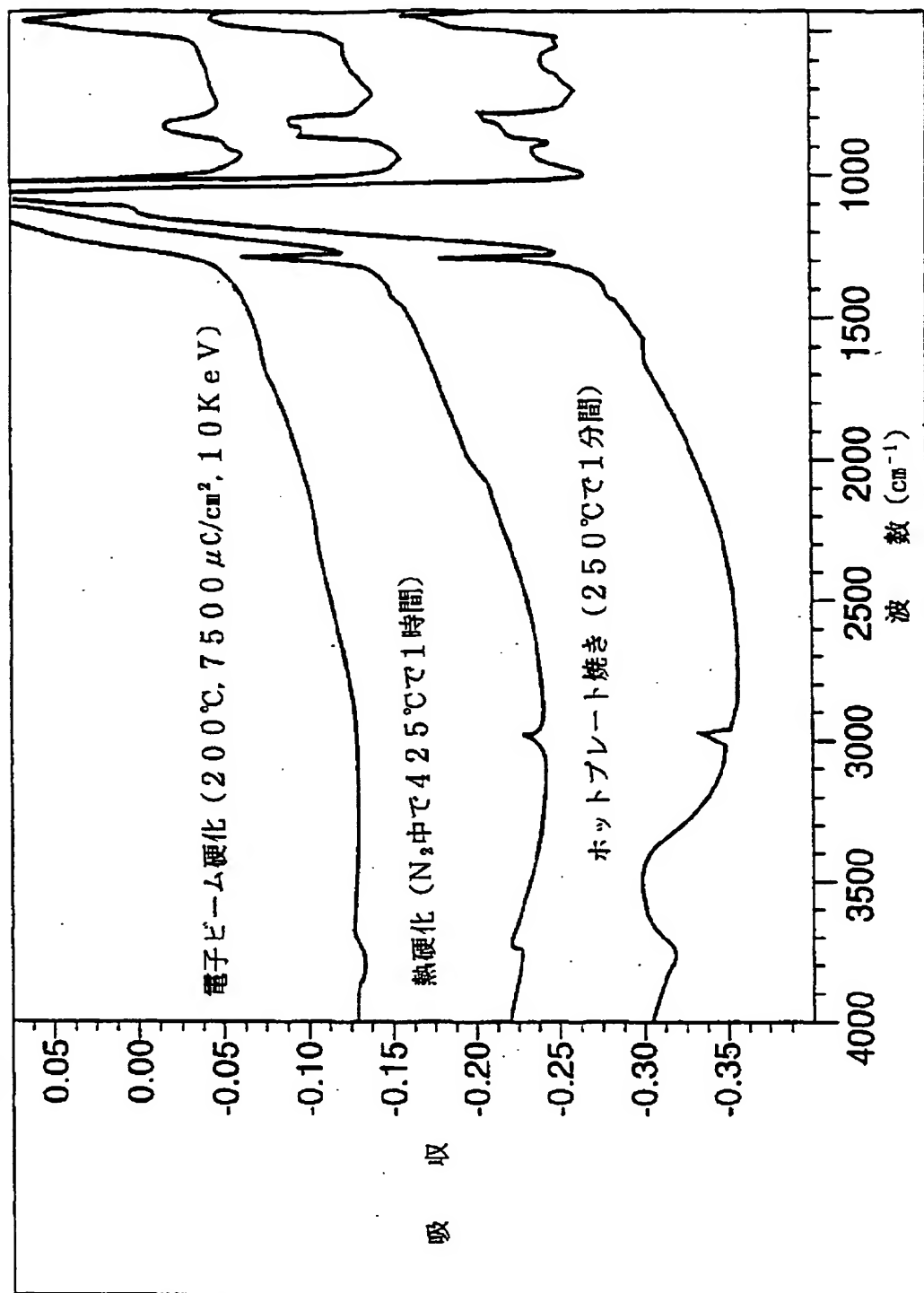
次いで、シリケート、ホスホシリケート、及び／又はシロキサンSOGのいずれかをこの硬化TEOSウェハー上にスピンドンして硬化させた。選択されたSOGのタイプ及びSOGコーティングの厚さは、望まれる平坦化に依存する。場合によっては、この誘電体堆積をCVD TEOS酸化物堆積により完結させても、また、SOGをインターレベル誘電体堆積中の最終層として残してもよい。

実施例18：超薄ゲート酸化物の形成

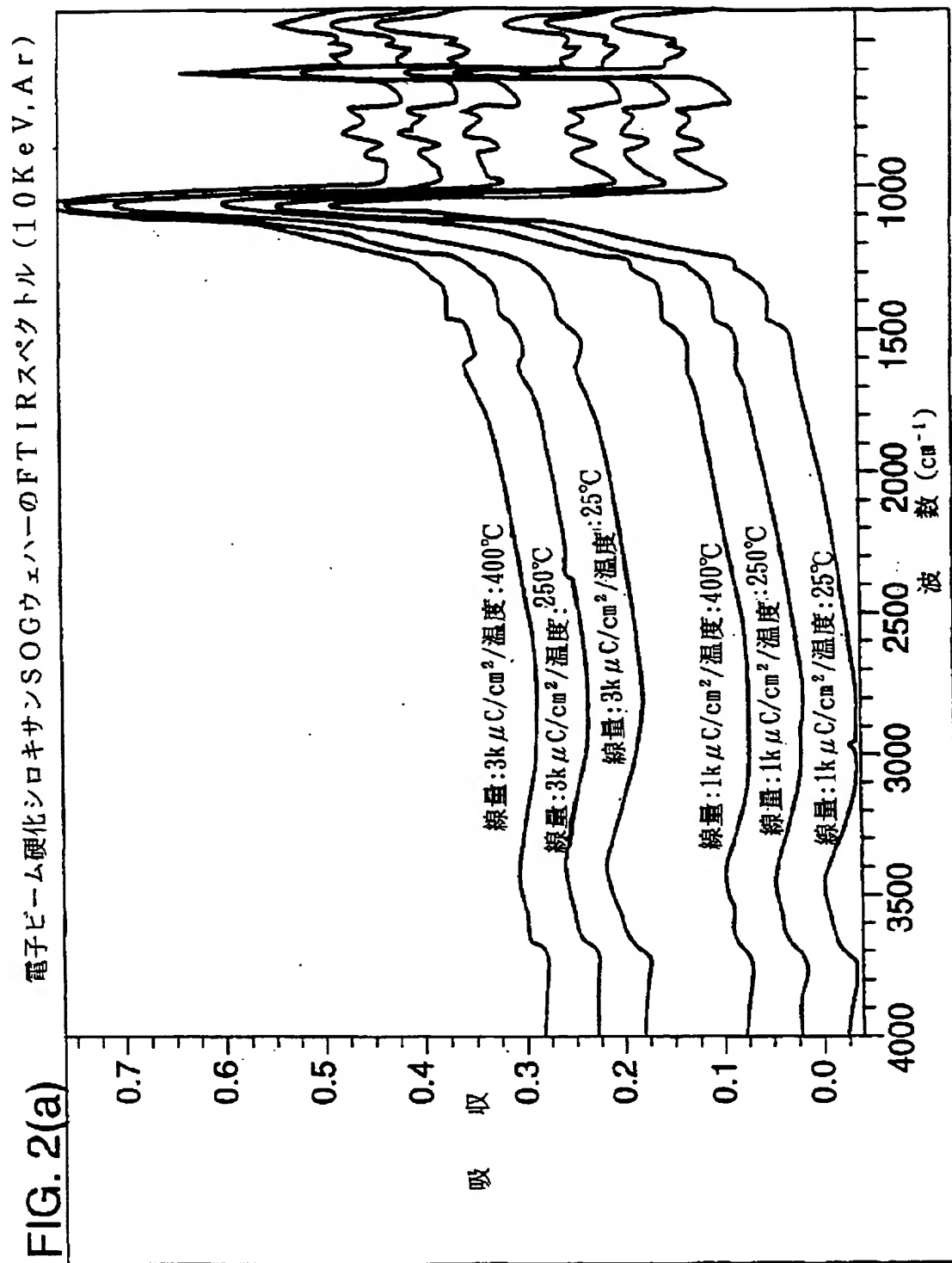
ポリシリコンウェハーを、約10～200ミリの圧力及び約250℃の温度下、酸素ガスの存在下で、所望の厚さの酸化物が成長するのに十分な時間、実施例15の電子ビーム加工条件に曝す。結果物は、マイクロエレクトロニクス用途に要求される更なる加工に適する一様に密で均一な膜である。

【図 1】

FIG. 1 シロキサンSOGコーテッドウェハのFTIRスペクトル

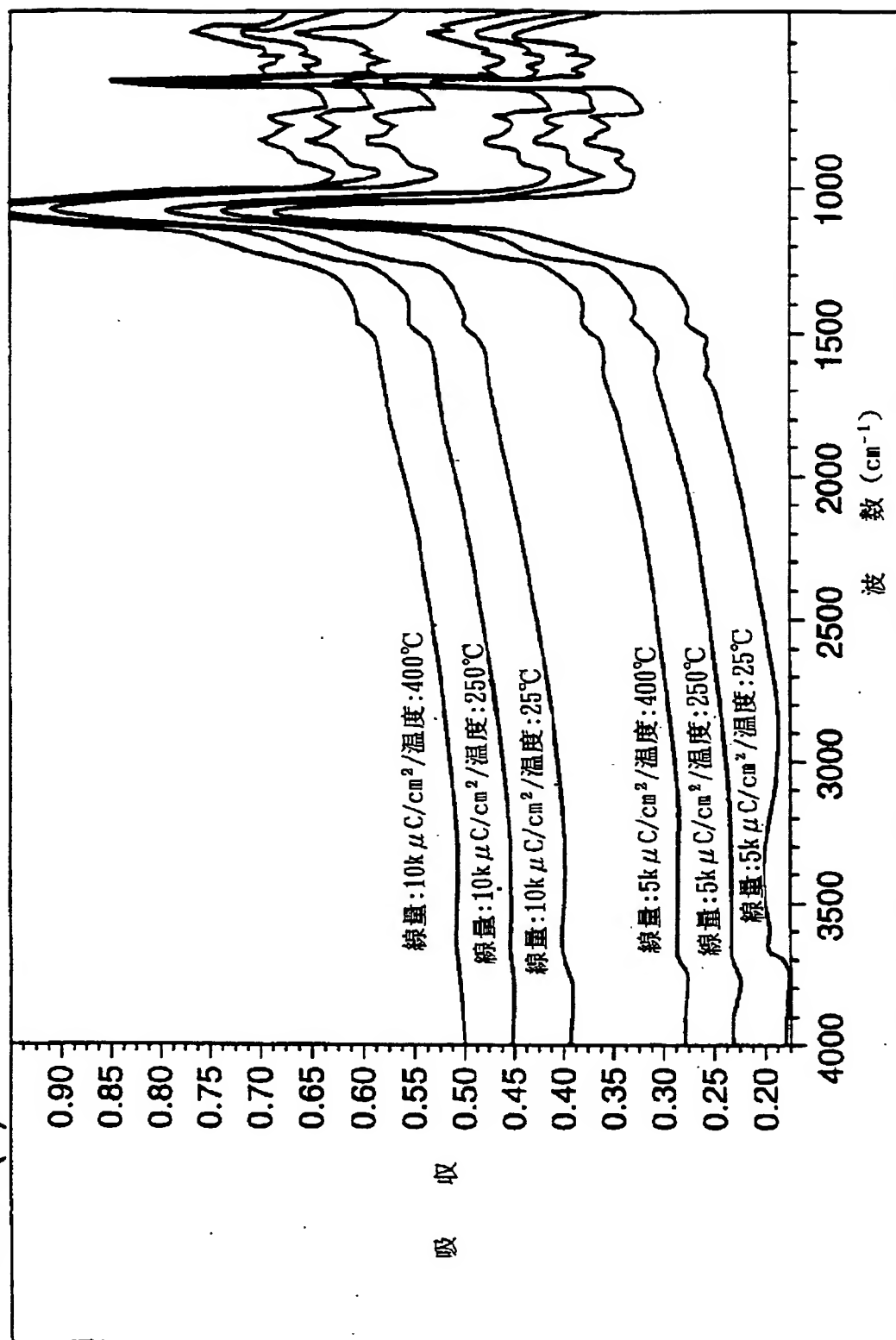


【図2】



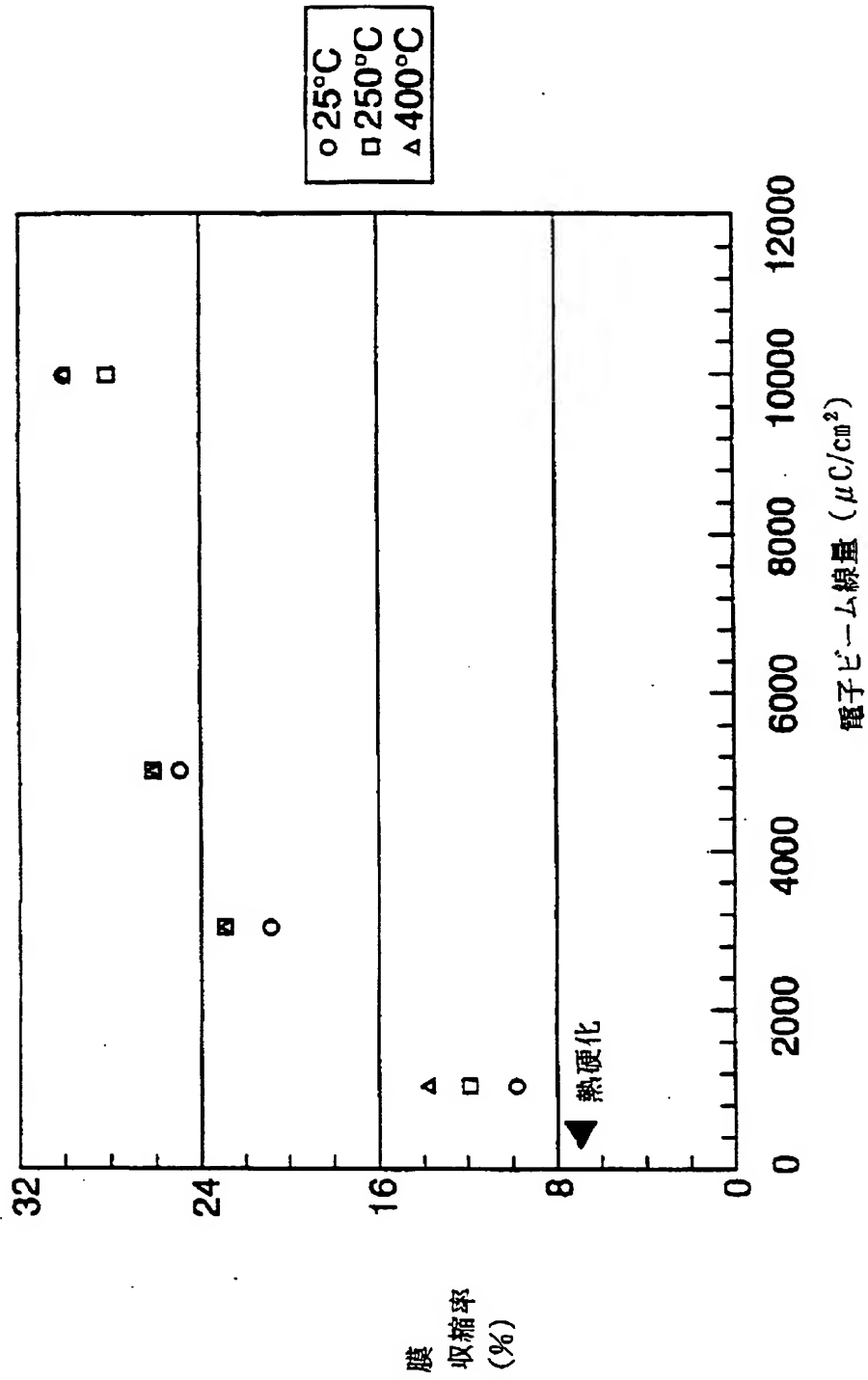
【図2】

電子ビーム硬化シロキサンSOGウェハのFTIRスペクトル (10KeV, Ar)



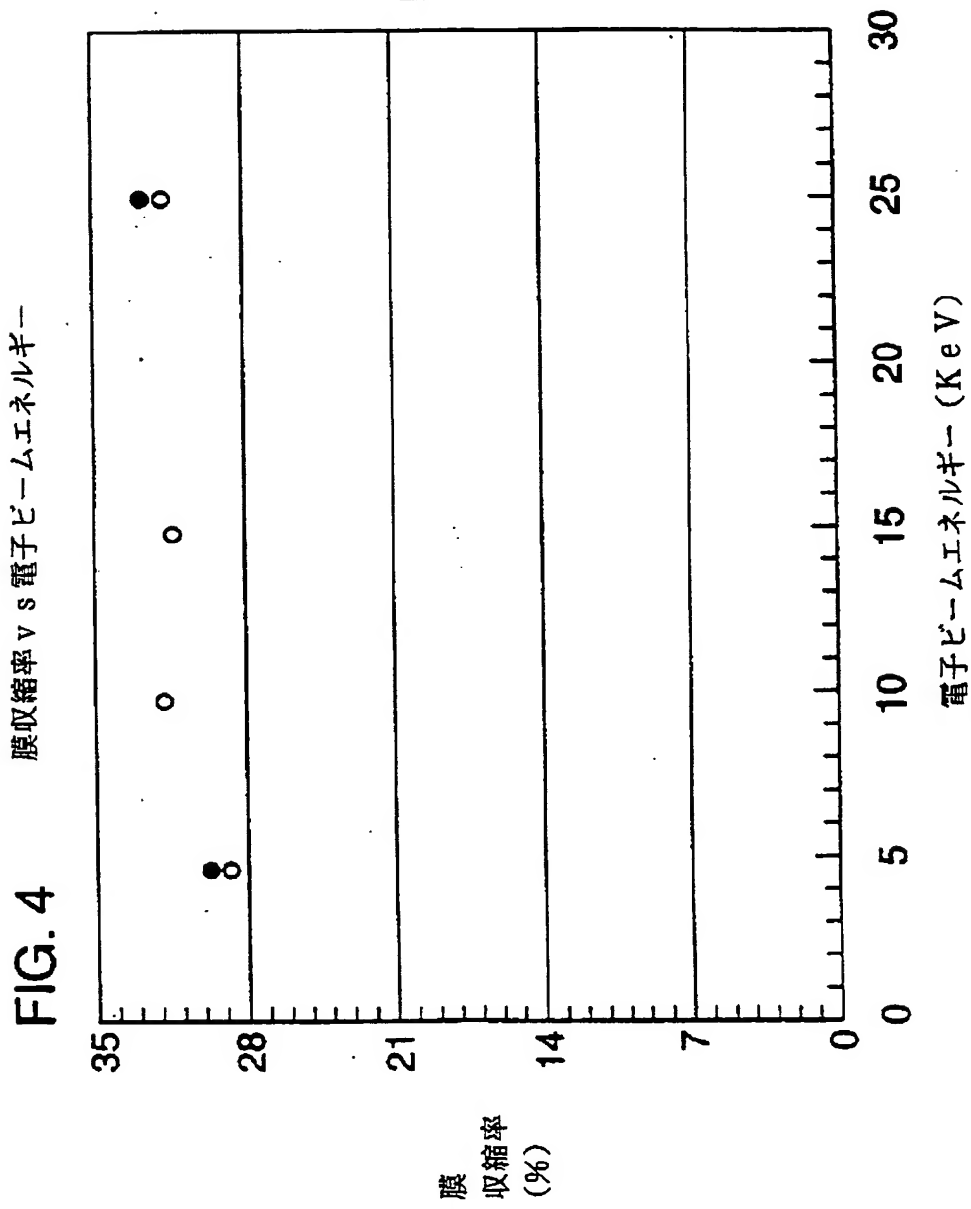
【図3】

FIG. 3
シロキサンSOGコーテッドウェハーについての膜収縮率 νs
10 KeVのエネルギーにおける電子ビーム線量

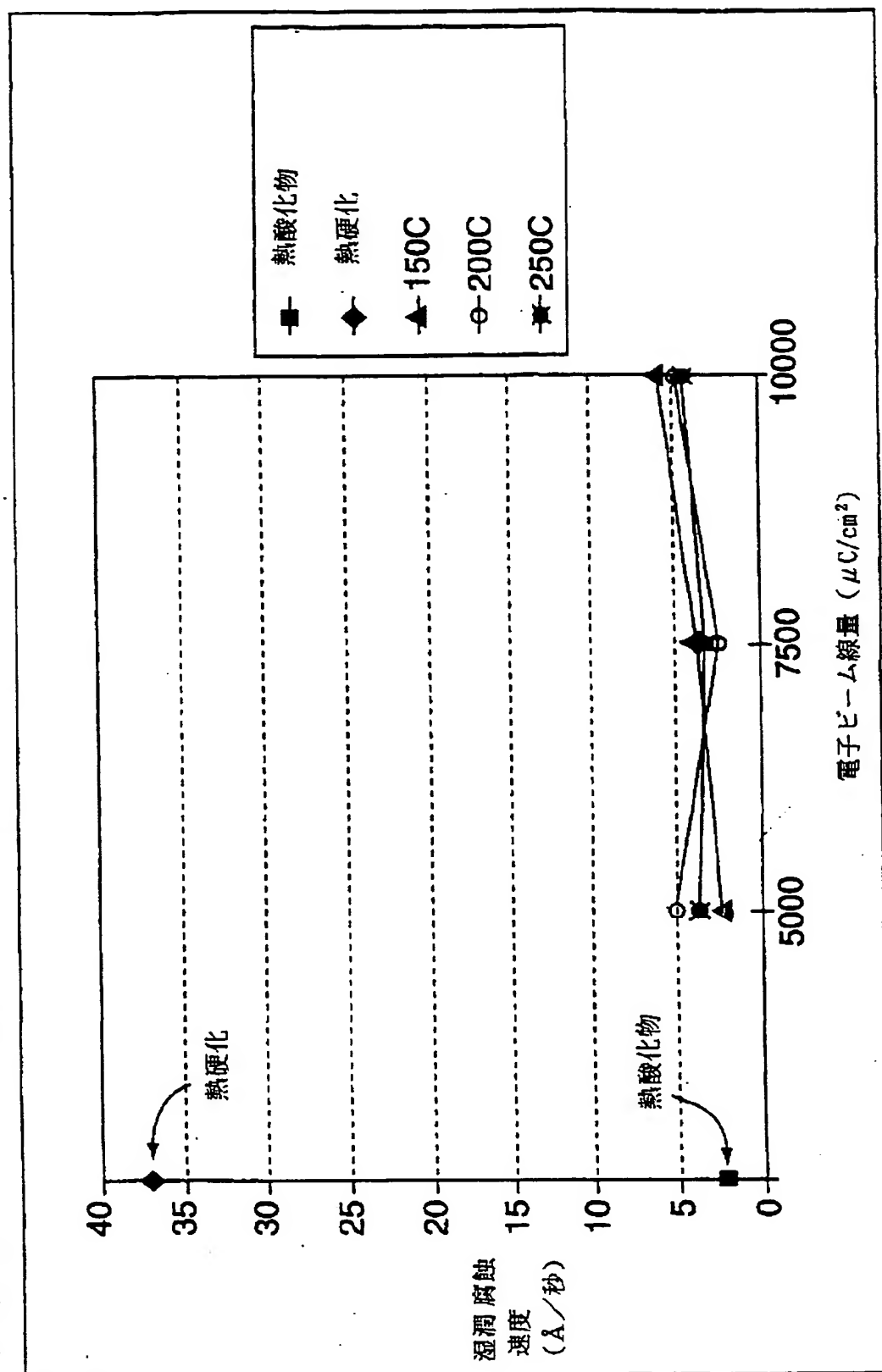


【図 4】

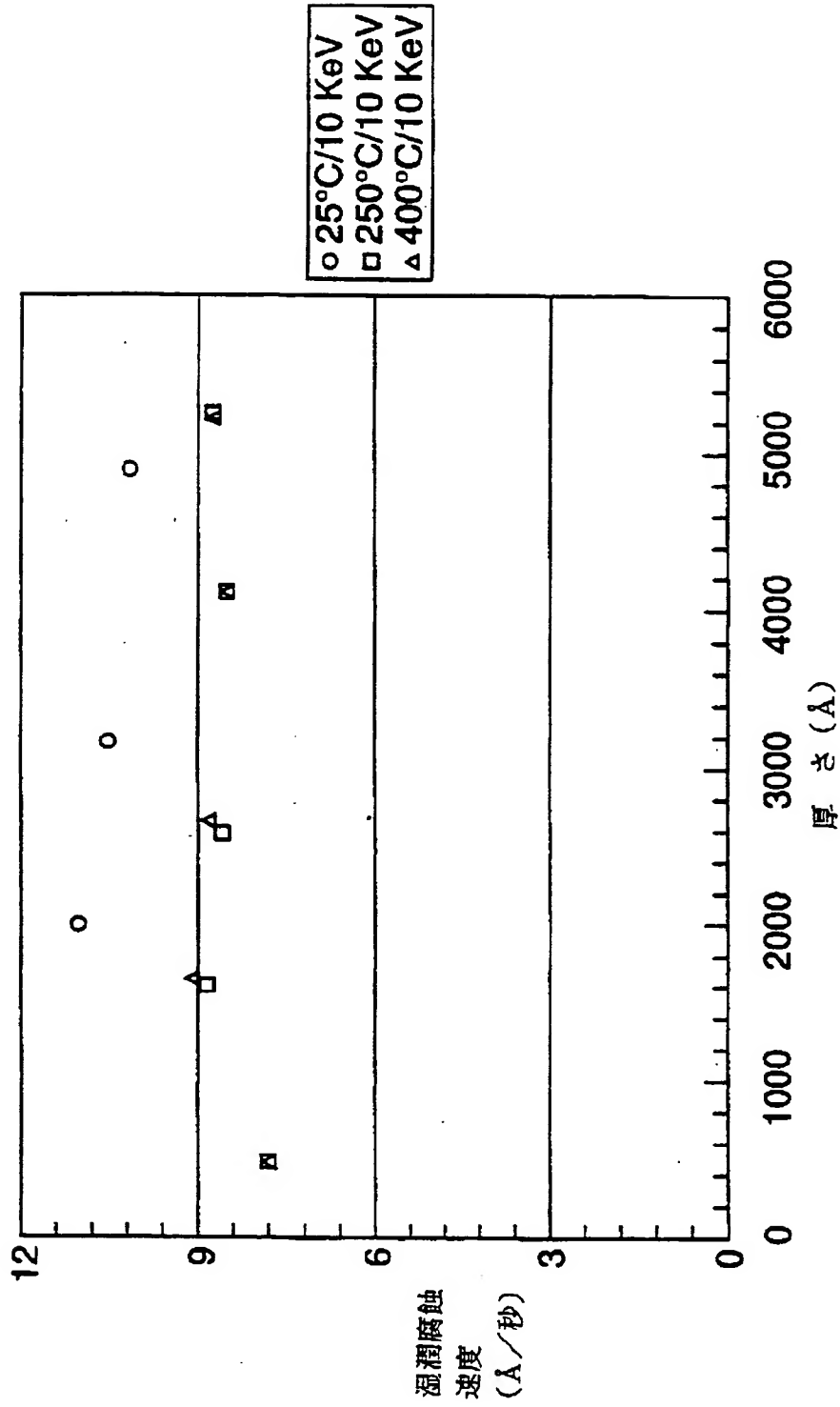
膜収縮率 v s 電子ビームエネルギー



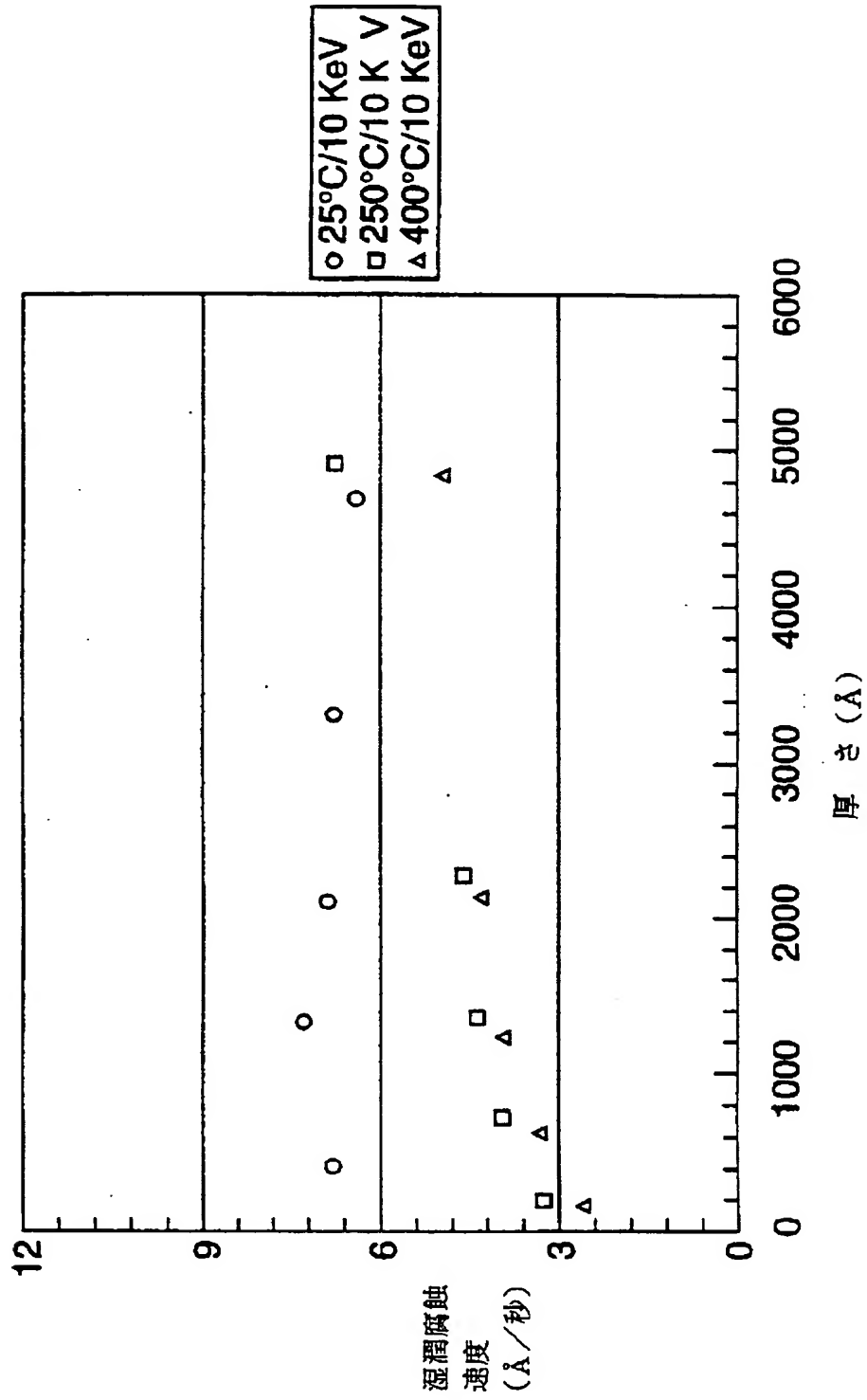
【図5】

FIG. 5 湿潤腐蝕速度 v s 電子ビーム線量

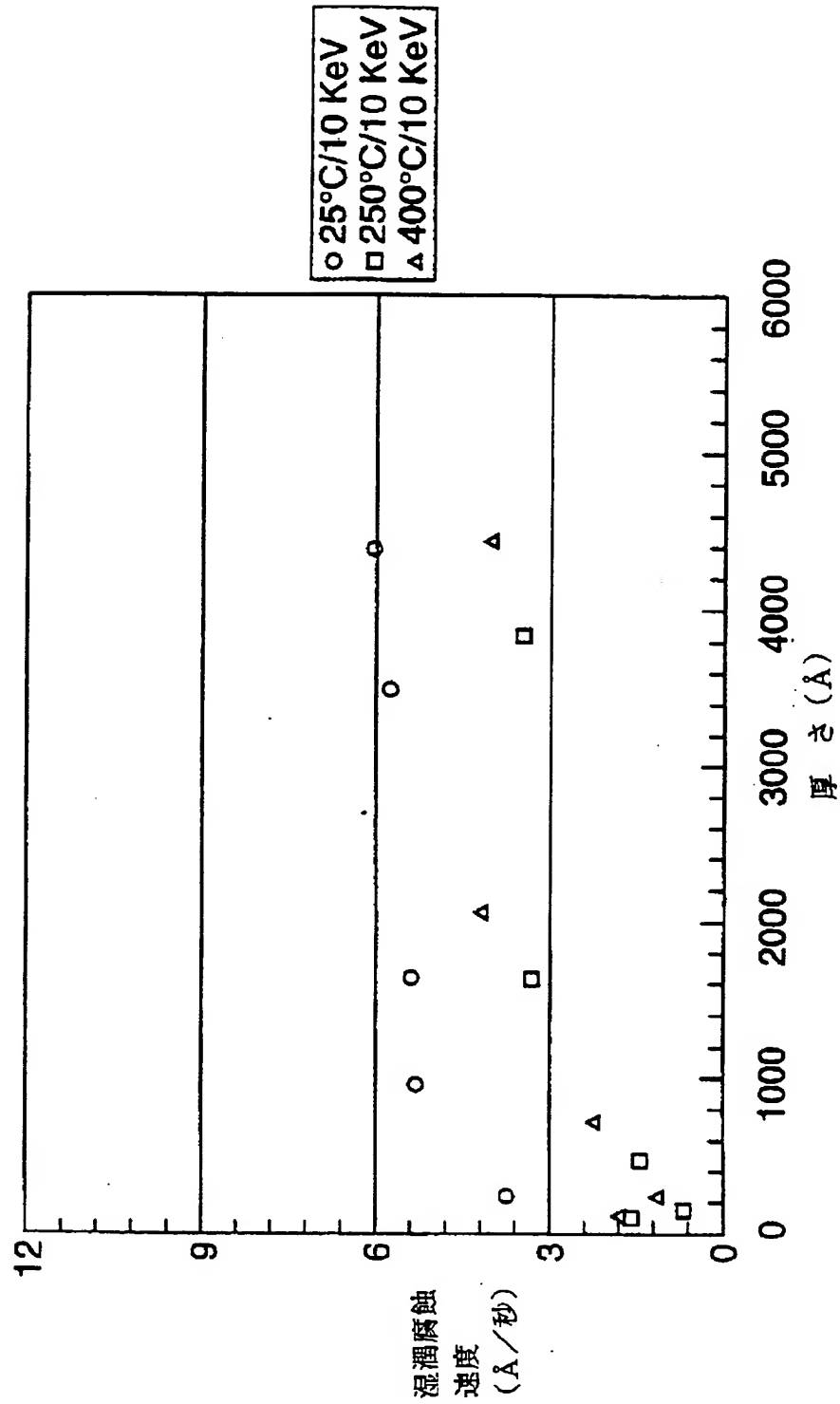
【図6】

FIG. 6(a) 1000 $\mu\text{C}/\text{cm}^2$ の線量における湿潤腐蝕速度

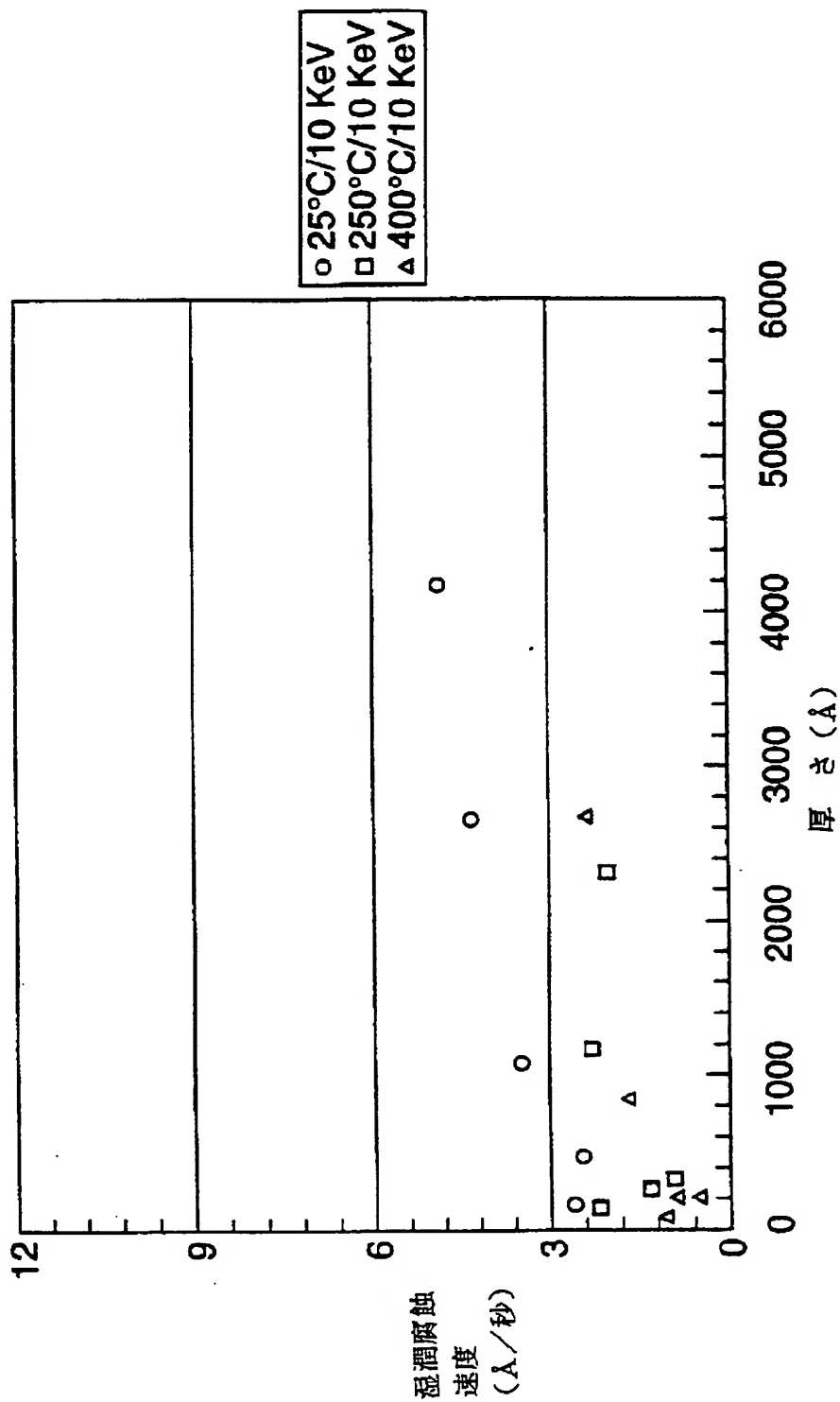
【図 6】

FIG. 6(b) 3000 $\mu\text{C}/\text{cm}^2$ の線量における湿潤腐蝕速度

【図6】

FIG. 6(c) $5000 \mu\text{C}/\text{cm}^2$ の線量における湿潤腐蝕速度

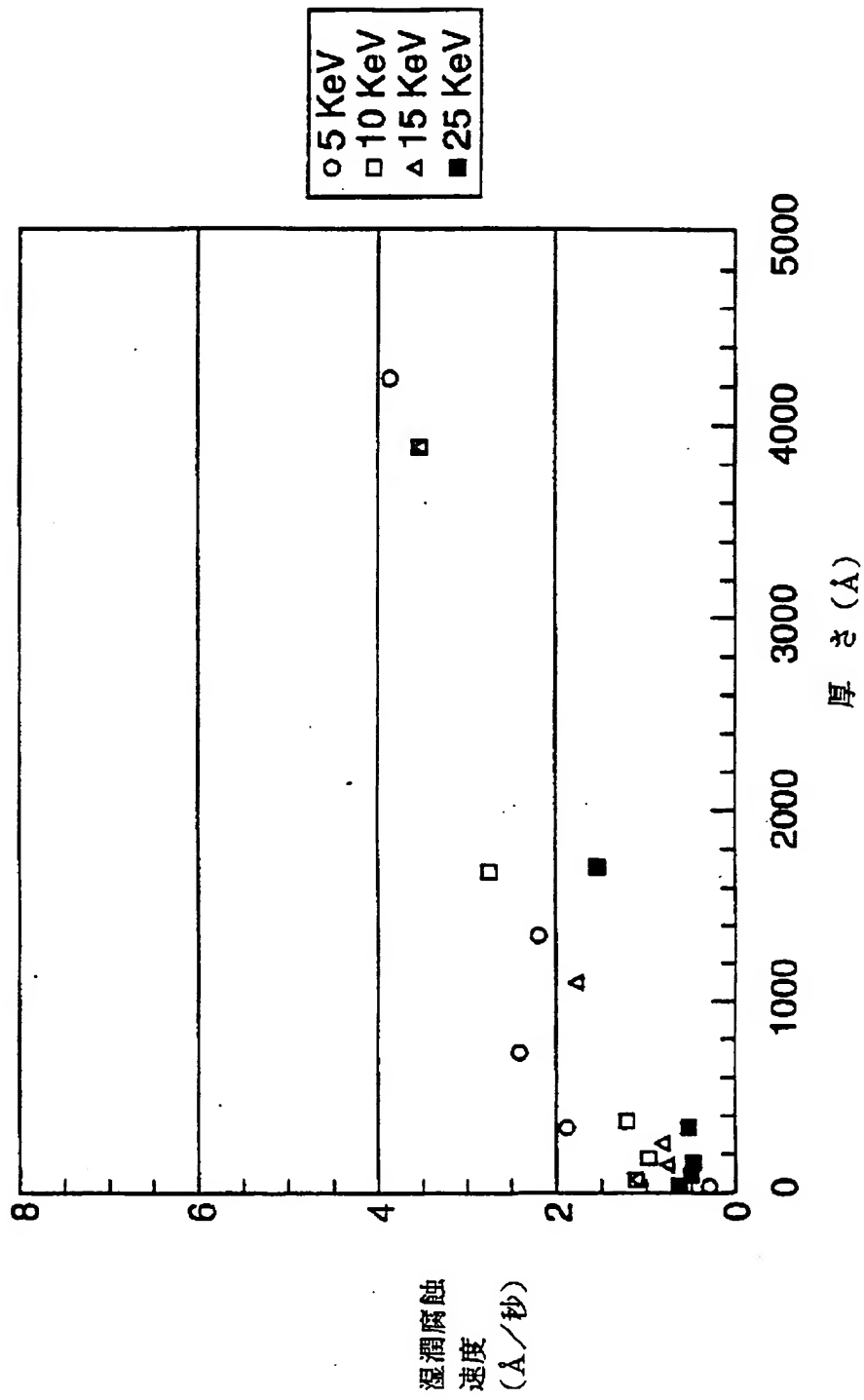
【図 6】

FIG. 6(d) 10000 $\mu\text{C}/\text{cm}^2$ の線量における湿潤腐蝕速度

【図7】

種々の電子エネルギーでの湿潤腐蝕速度
(線量: $10000 \mu\text{C}/\text{cm}^2$; 温度: 400°C)

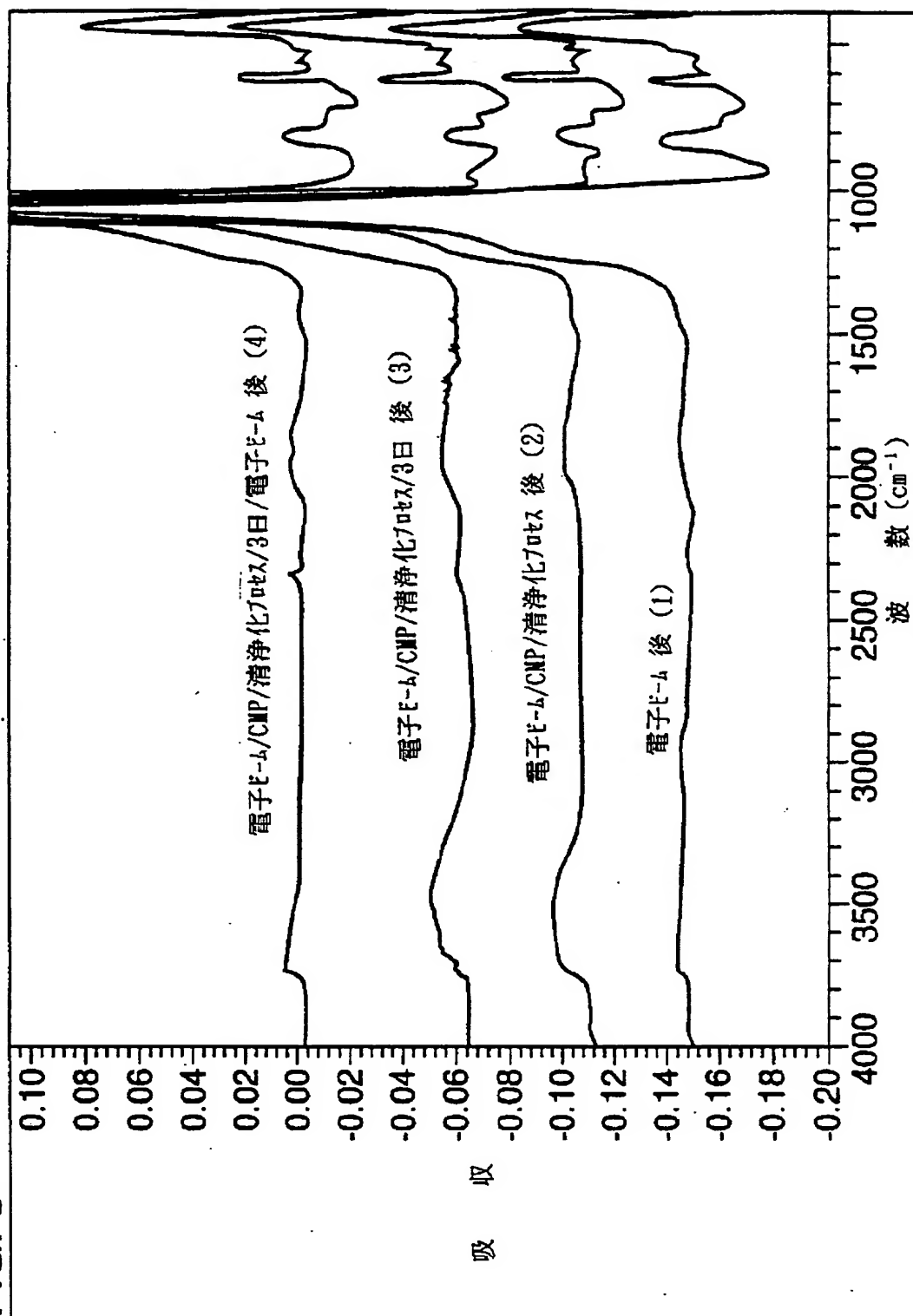
FIG. 7



[図 8]

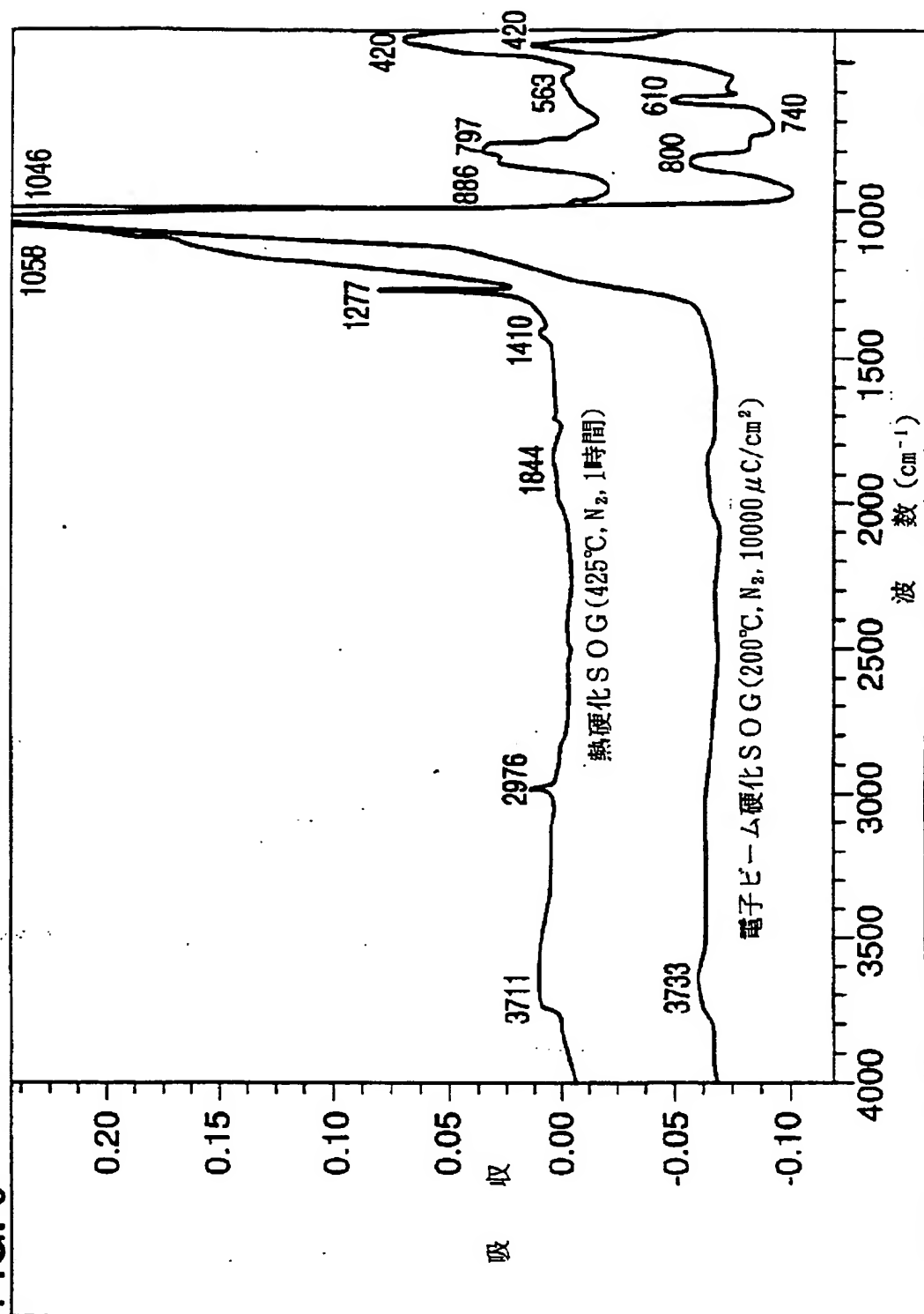
異なる加工段階における電子ビーム硬化SOGコーティングウェハのFTIRスペクトル
 (線量: $10000 \mu\text{C}/\text{cm}^2$, 温度: 200°C , N_2)

FIG. 8



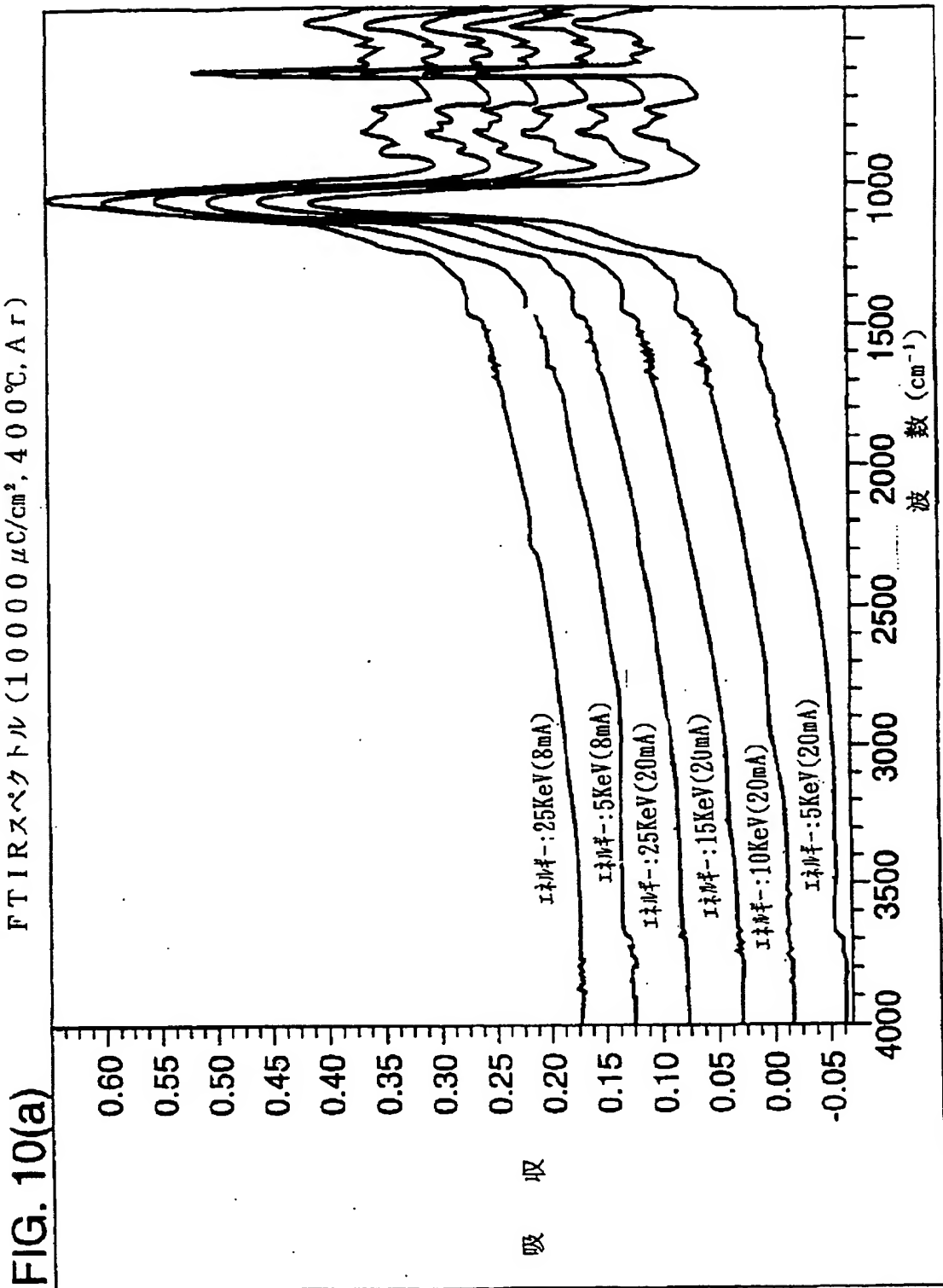
【図9】

FIG. 9 FTIRスペクトル：周囲後硬化条件への暴露



【図10】

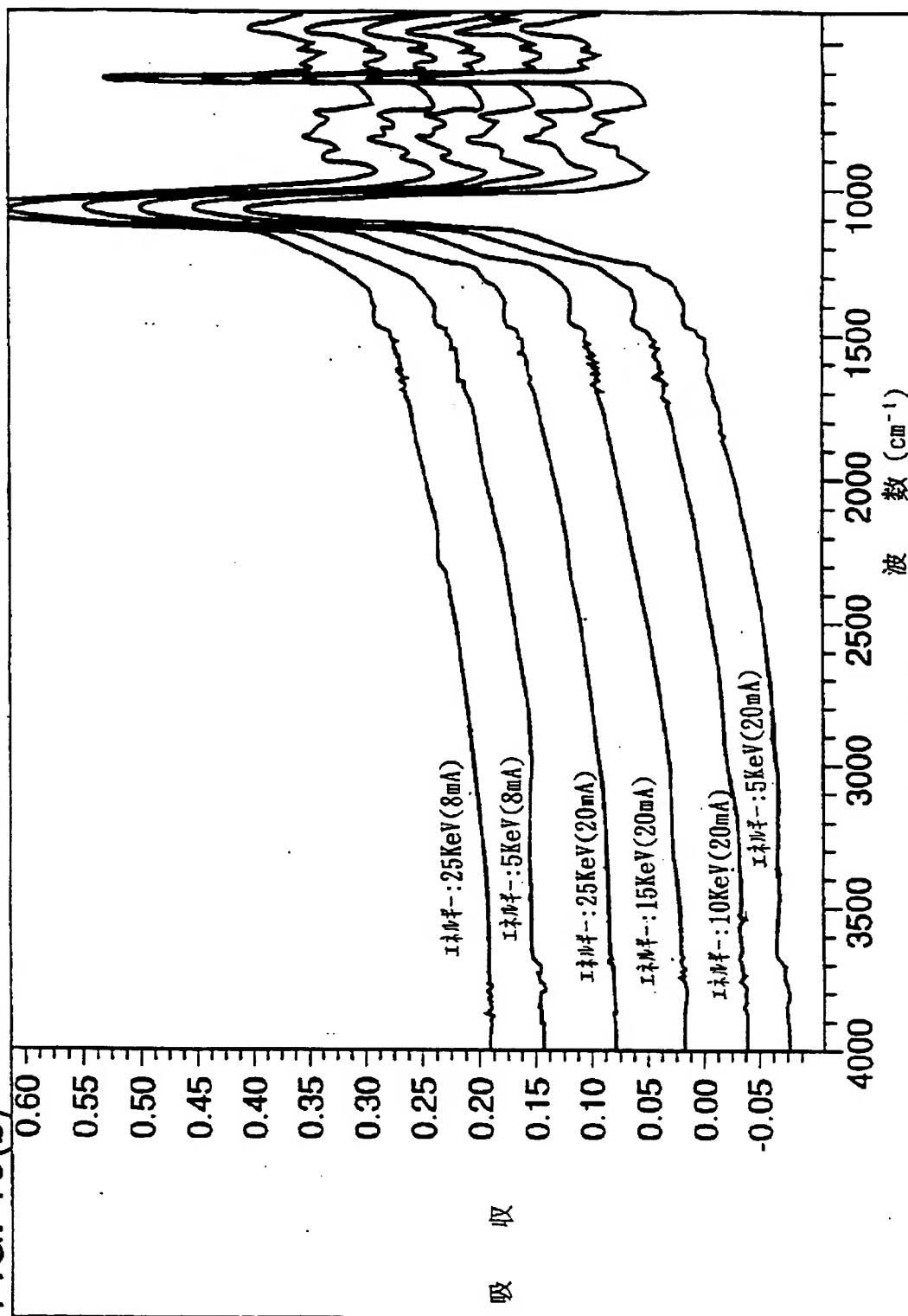
電子ビーム硬化後のSOGコーテッドウェハの
FTIRスペクトル ($10000 \mu\text{C}/\text{cm}^2$, 400°C , Ar)



【図10】

電子ビーム硬化 ($10000 \mu\text{C}/\text{cm}^2$, 400°C . Ar) 後に水中に
1時間浸漬した後のSOGコーティングのFTIRスペクトル

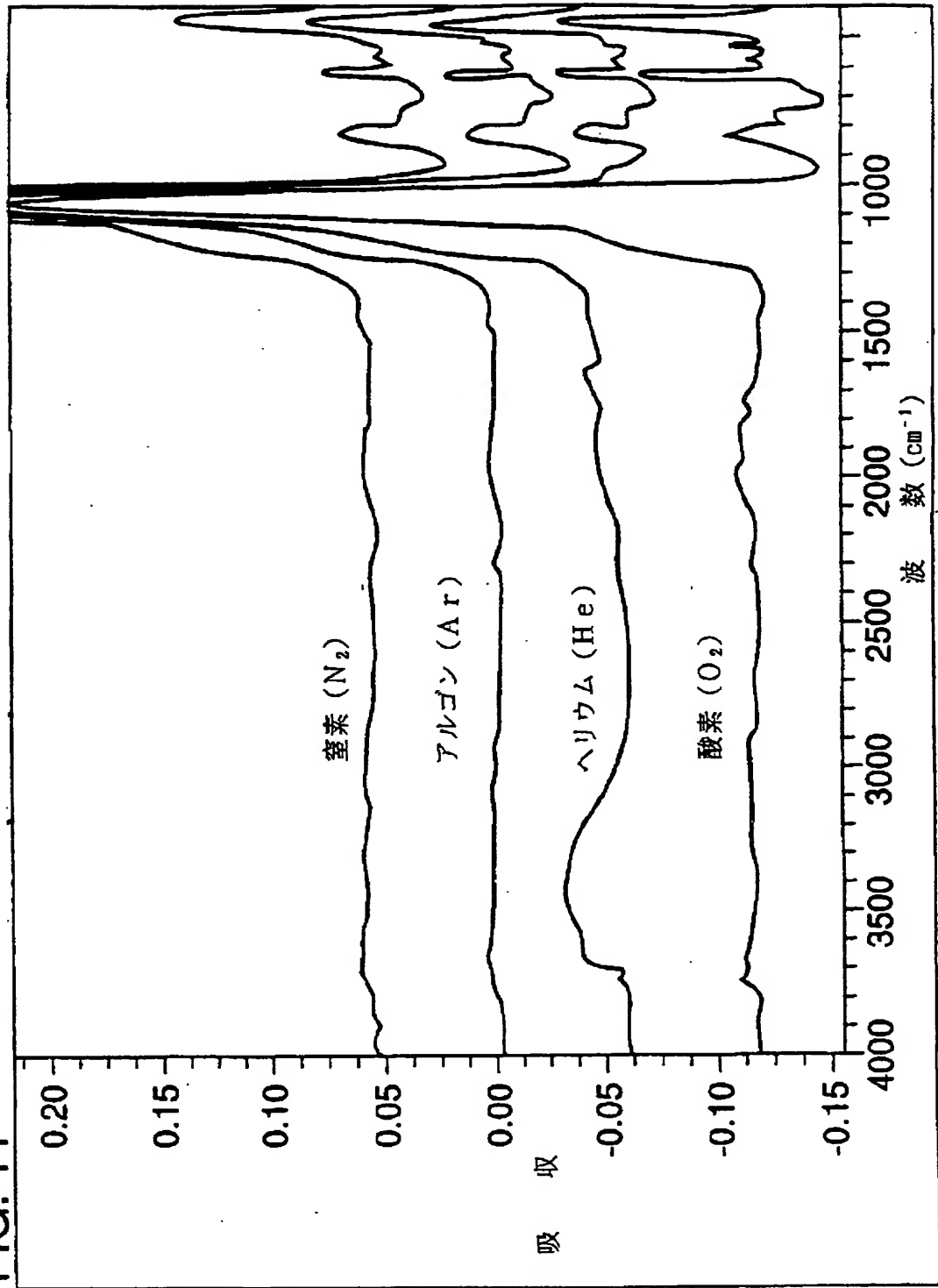
FIG. 10(b)



【図11】

種々のガスの存在下で電子ビームで硬化させたSOGコーテッド
ウェハー ($10000 \mu\text{C}/\text{cm}^2$, 200°C)

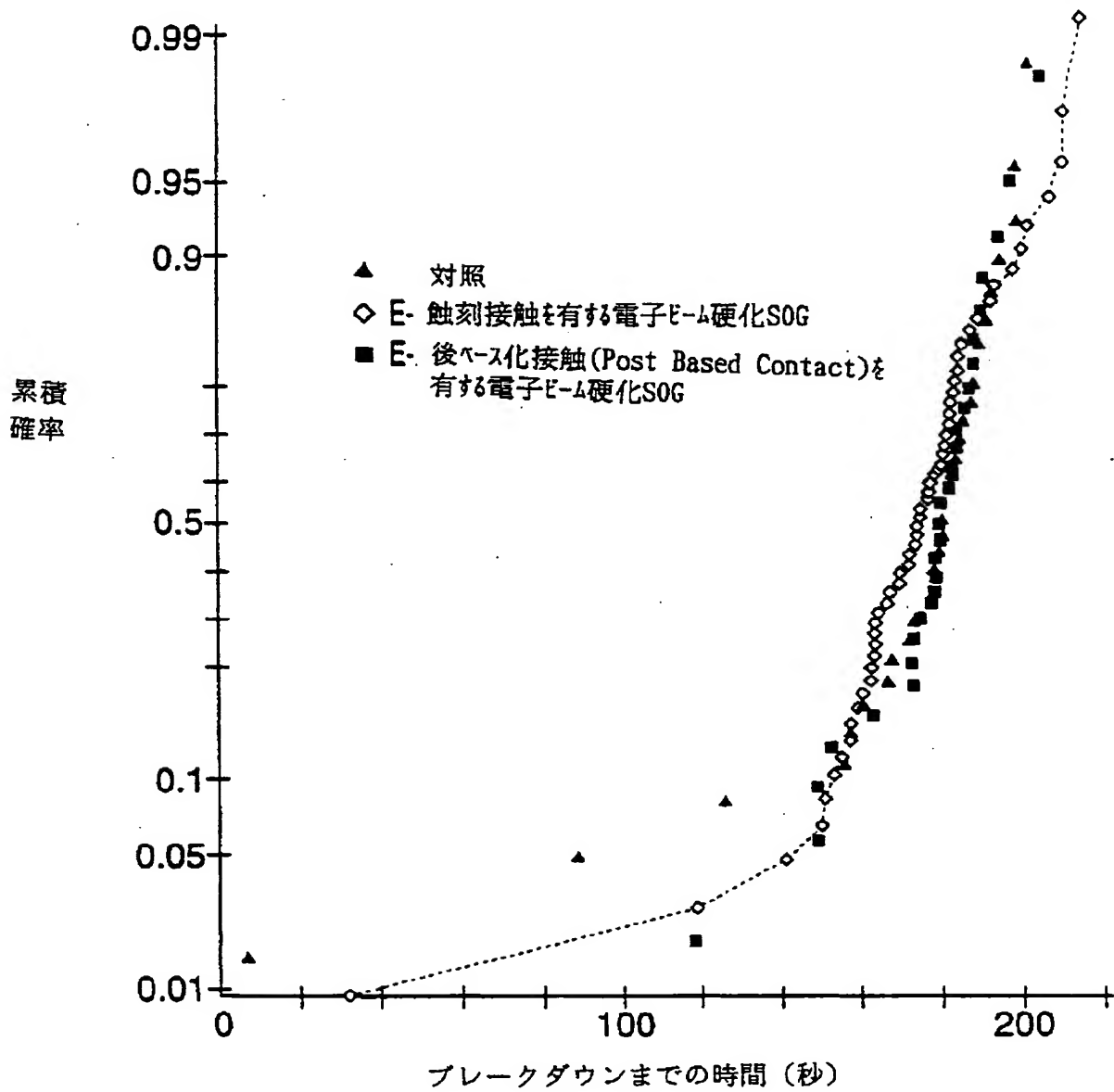
FIG. 11



【図12】

FIG. 12

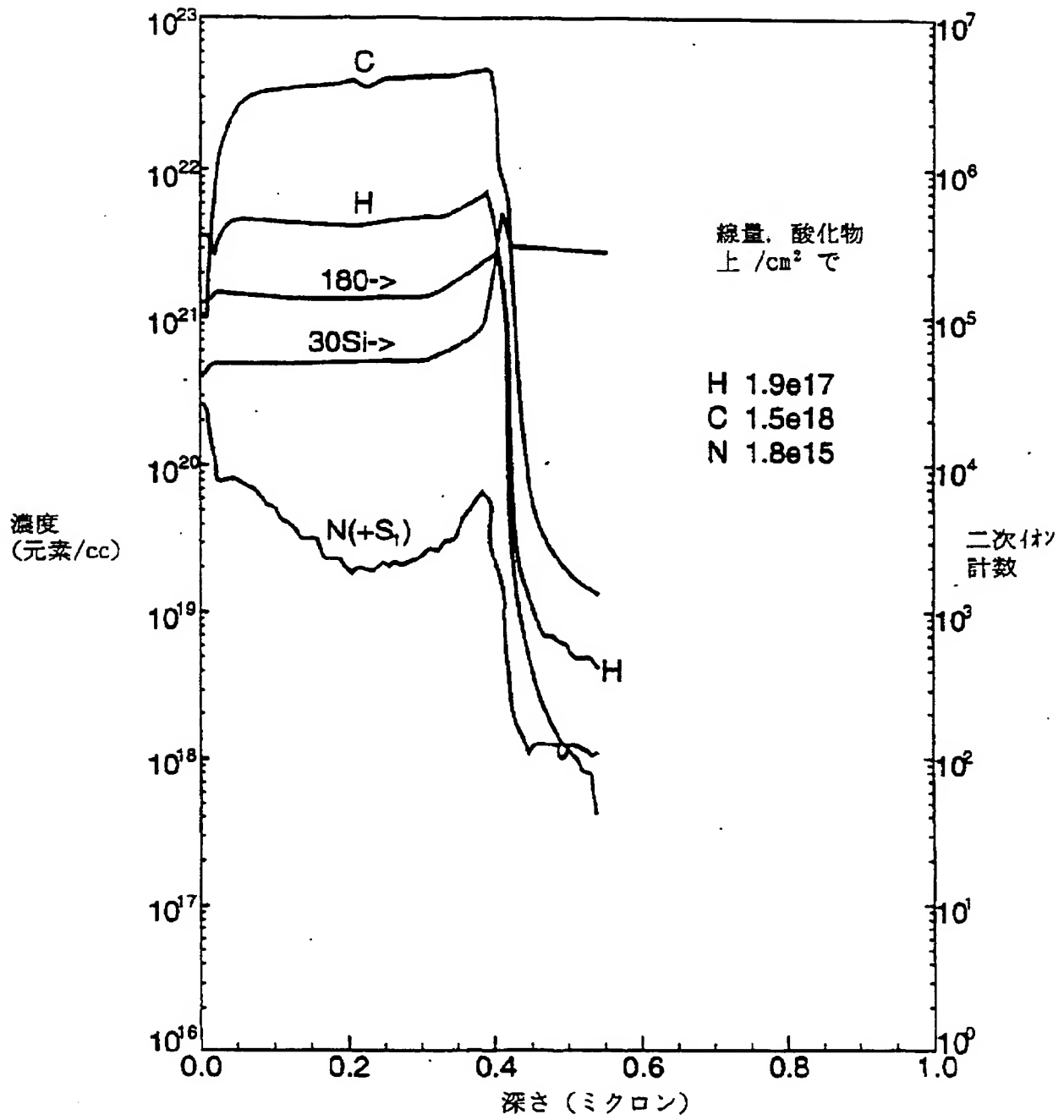
TEOS誘電体及び電子ビーム硬化SOGを
有するゲート酸化物のQBD



【図 13】

FIG. 13

SIMSプロフィール分析



【手続補正書】

【提出日】 1 9 9 7 年 1 2 月 1 5 日

【補正内容】

請求の範囲

1. 支持体上に誘電性物質を硬化させる方法であって、
 - (a) 前記支持体の表面に誘電性物質を適用すること；及び
 - (b) 前記誘電性物質を、該誘電性物質を膜に硬化するのに十分な条件下で電子ビーム照射に曝すことを含む方法。
2. 前記誘電性物質が、前記電子ビーム照射への暴露の前に、シロキサンを含んでなり、該シロキサンが、約 1 ～約 1 0 の炭素原子を有するアルキル基、約 4 ～約 1 0 の炭素原子を有する芳香族基、約 4 ～約 1 0 の炭素原子を有する脂肪族基、又はそれらの混合物を含む有機基を、前記シロキサンの全重量を基準として約 2 ～約 9 0 % 有する、請求項 1 の方法。
3. 化学蒸着物質でコートされた支持体をアニーリングする方法であって、
 - (a) 該支持体の表面に化学蒸着物質を適用すること；及び
 - (b) 該化学蒸着物質を、該化学蒸着物質を膜にアニーリングするのに十分な条件下で電子ビーム照射に曝すことを含む方法。
4. 前記化学蒸着物質が、プラズマ促進テトラエチルオルトシリケート、シラン基剤酸化物、ボロソーホスホシリケートガラス、ホスホシリケートガラス、窒化物、無水物膜、オキシ窒化物、テトラエチルオルトシランからのボロホスホガラス、又はそれらの混合物を含んでなる、請求項 3 の方法。
5. 前記化学蒸着物質が、前記支持体に、テトラエチルオルトシリケートと酸素の混合物、又は酸素、シラン及び場合によりジボランの混合物、ホスフィン、及び亜酸化窒素を含んでなるガスの存在下で適用される、請求項 3 の方法。
6. 請求項 3 の膜の少なくとも 1 の層でコートされた支持体。
7. 請求項 6 の支持体を含有するマイクロエレクトロニック装置。
8. 支持体上に超薄膜酸化物又は窒化物を生長させる方法であって、該支持

体の表面を気体状態にある物質の存在下及び該物質をイオン化するのに十分な条件下で電子ビーム照射に曝して、該支持体の該表面上で酸化又は窒化反応を促進することを含む方法。

9. 前記支持体がガリウム砒素又はシリコンを含んでなる、請求項8の方法。

10. 前記物質が、酸素、アンモニア、窒素、亜酸化窒素、及びガスの形の反応生成物又はそれらの混合物、昇華した固体又は気化した液体を含んでなる、請求項8の方法。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 96/08678

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/316 H01L21/3105

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category * | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|------------|--|-----------------------|
| X | US.A.4 222 792 (LEVER REGINALD F ET AL) 16 September 1980 see column 5, line 45 - column 6, line 21; example 1 | 1-3,6-8, 19 |
| X | US.A.4 596 720 (KERYK JOHN R ET AL) 24 June 1986 see column 8, line 22-42; claims 12-14 | 1-3,6,7 |
| A | EP,A.0 647 965 (DOW CORNING) 12 April 1995 see claims 1-10 | 1,3,4,6, 19 |
| A | EP,A.0 334 051 (SHOWA DENKO KK) 27 September 1989 see claims 1-13 | 1-3 |

☐ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

Date of the actual completion of the international search

30 August 1996

Date of mailing of the international search report

25. 09. 96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Hammel, E

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 96/08678

| Patent document cited in search report | Publication date | Patent family member(s) | Publication date |
|---|---------------------|----------------------------|---------------------|
| US-A-4222792 | 16-09-80 | CA-A- 1142272 | 01-03-83 |
| | | EP-A- 0025129 | 18-03-81 |
| | | JP-C- 1216438 | 17-07-84 |
| | | JP-A- 56040261 | 16-04-81 |
| | | JP-B- 58051422 | 16-11-83 |
| US-A-4596720 | 24-06-86 | CA-A- 1283491 | 23-04-91 |
| | | DE-A- 3680625 | 05-09-91 |
| | | EP-A- 0217334 | 08-04-87 |
| | | JP-C- 1735579 | 17-02-93 |
| | | JP-B- 4017991 | 26-03-92 |
| | | JP-A- 62086062 | 20-04-87 |
| EP-A-0647965 | 12-04-95 | US-A- 5441765 | 15-08-95 |
| | | CA-A- 2117593 | 23-03-95 |
| | | JP-A- 7187640 | 25-07-95 |
| | | US-A- 5523163 | 04-06-96 |
| EP-A-0334051 | 27-09-89 | JP-A- 1215832 | 29-08-89 |
| | | JP-C- 1781976 | 13-08-93 |
| | | JP-B- 4078339 | 10-11-92 |
| | | DE-D- 68926359 | 05-06-96 |
| | | US-A- 5206092 | 27-04-93 |

フロントページの続き

(81) 指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, L
U, MC, NL, PT, SE), CN, JP, KR, S
G

(72) 発明者 キューチョイ, ドン
アメリカ合衆国カリフォルニア州95008,
キャンペル, モンテズマ・ドライブ 2338